



IFW

Patent

Customer No. 31561
Application No.: 10/709,089
Docket No. 12406-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Lai
Application No. : 10/709,089
Filed : Apr 13, 2004
For : METHOD OF FABRICATING THIN FILM TRANSISTOR
ARRAY SUBSTRATE AND STACKED THIN FILM
STRUCTURE
Examiner : N/A
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93105043,
filed on: 2004/2/27.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANG CHYUN Intellectual Property Office

Dated: August 9, 2004

By:

Belinda Lee
Belinda Lee

Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder

申請日：西元 2004 年 02 月 27 日
Application Date

申請案號：093105043
Application No.

申請人：友達光電股份有限公司
Applicant(s)

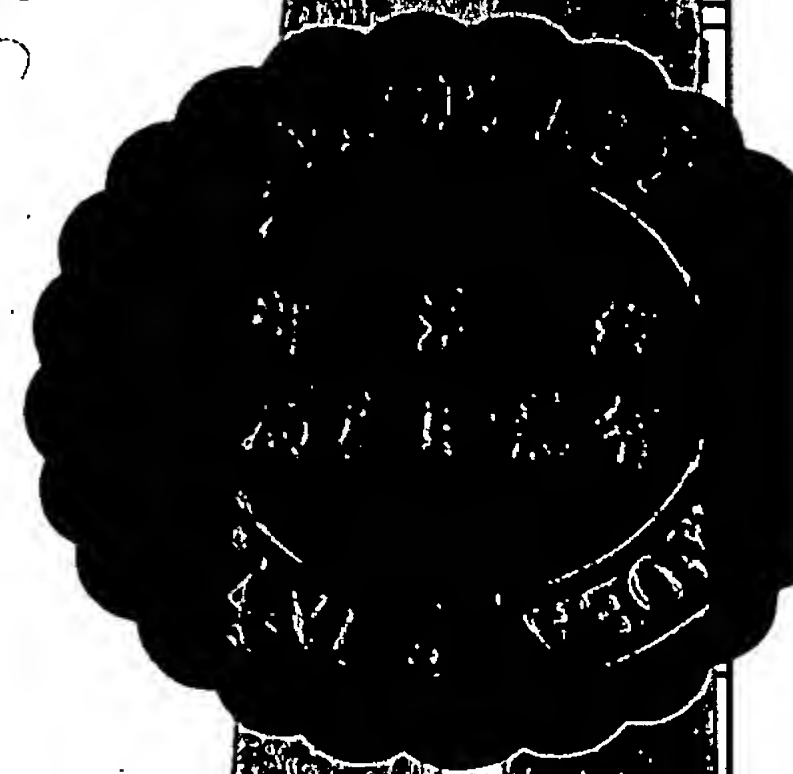
CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

蔡練生

發文日期：西元 2004 年 6 月 18 日
Issue Date

發文字號：09320550880
Serial No.



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	薄膜電晶體陣列基板及薄膜疊層結構的製造方法
	英 文	METHOD OF FABRICATING THIN FILM TRANSISTOR ARRAY SUBSTRATE AND STACKED THIN FILM STRUCTURE
二、 發明人 (共1人)	姓 名 (中文)	1. 來漢中
	姓 名 (英文)	1. LAI, HAN CHUNG
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 桃園縣中壢市內壢成功路122巷63弄20號
	住居所 (英 文)	1. No. 20, Alley 63, Lane 122, Chengkung Rd., Chungli, Taoyuan Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 友達光電股份有限公司
	名稱或 姓 名 (英文)	1. Au Optronics Corporation
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 1, Li-Hsin Rd. II, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. LEE, KUN YAO



四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板及薄膜疊層結構的製造方法)

一種薄膜電晶體陣列基板的製造方法。首先在一基板上依序形成一第一圖案化金屬層、一介電層、一非晶矽層、一第二圖案化金屬層及一保護層。接著在保護層上形成一圖案化光阻層，至少覆蓋第一圖案化金屬層所構成之源極/汲極及其周邊區域上方，圖案化光阻層之部份邊緣具有多個薄化區，每個薄化區分別橫跨於一個源極/汲極的部分邊緣上方。之後以圖案化光阻層為罩幕進行蝕刻，以暴露薄化區下方之源極/汲極及其周邊區域之非晶矽層而分別形成多個階梯狀結構。最後在基板上形成多個畫素電極，分別覆蓋一個階梯狀結構且電性連接至一個源極/汲極。

五、英文發明摘要 (發明名稱：METHOD OF FABRICATING THIN FILM TRANSISTOR ARRAY SUBSTRATE AND STACKED THIN FILM STRUCTURE)

Method of fabricating thin film transistor array substrate is disclosed. The fabricating method of thin film transistor array substrate is forming a first patterned metal layer, a dielectric layer, an amorphous silicon layer, a second patterned metal layer and a passivation layer on a substrate orderly, first. Then, forming a patterned photoresist layer on the passivation



四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板及薄膜疊層結構的製造方法)

五、英文發明摘要 (發明名稱：METHOD OF FABRICATING THIN FILM TRANSISTOR ARRAY SUBSTRATE AND STACKED THIN FILM STRUCTURE)

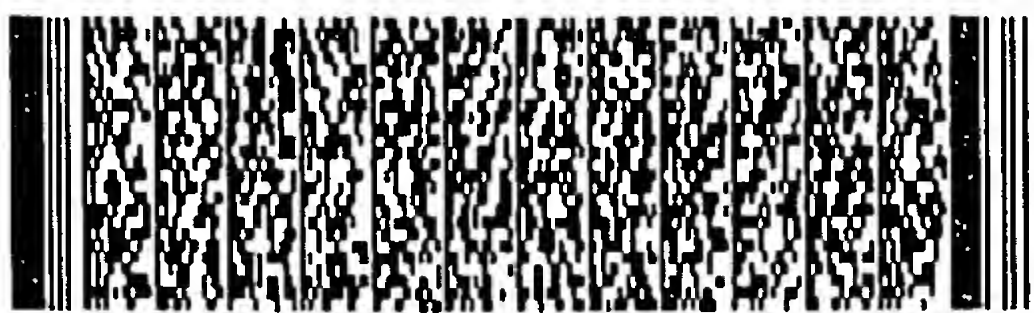
layer. The patterned photoresist layer at least covers source/drain and the areas beside them, which formed with the first patterned metal layer. The patterned photoresist layer has a plurality of thinner regions on parts of edge. Each of the thinner regions stretches over on the parts of edge of one source/drain. After, etching with the patterned photoresist layer for mask until the



四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板及薄膜疊層結構的製造方法)

五、英文發明摘要 (發明名稱：METHOD OF FABRICATING THIN FILM TRANSISTOR ARRAY SUBSTRATE AND STACKED THIN FILM STRUCTURE)

source/drain and the amorphous silicon layer that under the thinner regions are exposed to form a plurality of stair-structures. Finally, forming a plurality of pixel electrodes to cover the stair-structures and electrically connect one source/drain, respectively.



六、指定代表圖

(一)、本案指定代表圖為：第 2B 圖

(二)、本代表圖之元件代表符號簡單說明：

200：基板

212：掃描配線

214：閘極

216：接合墊

220：介電層

230：非晶矽層

232：歐姆接觸層

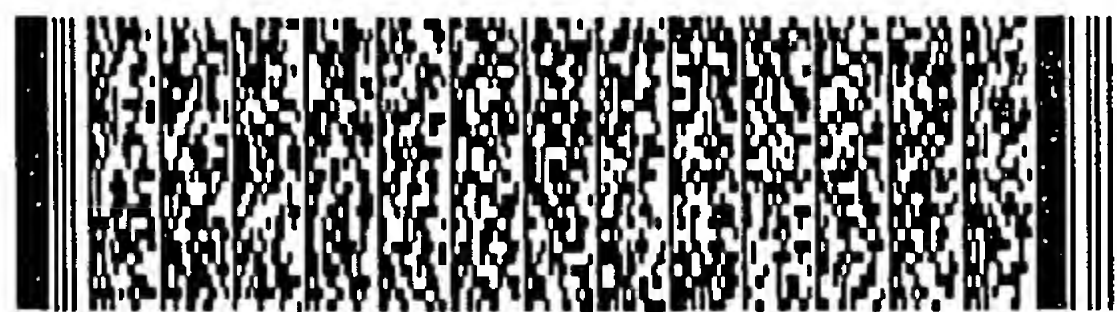
242：資料配線

244：源極/汲極

250：保護層

260：圖案化光阻層

262：第一薄化區



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種薄膜電晶體陣列基板(TFT array substrate)及薄膜疊層結構的製造方法，且特別是有關於一種可提高製程良率的薄膜電晶體陣列基板及薄膜疊層結構的製造方法。

先前技術

針對多媒體社會之急速進步，多半受惠於半導體元件或人機顯示裝置的飛躍性進步。就顯示器而言，陰極射線管(Cathode Ray Tube, CRT)因具有優異的顯示品質與其經濟性，一直獨佔近年來的顯示器市場。然而，對於個人在桌上操作多數終端機/顯示器裝置的環境，或是以環保的觀點切入，若以節省能源的潮流加以預測，陰極射線管因空間利用以及能源消耗上仍存在很多問題，而對於輕、薄、短、小以及低消耗功率的需求無法有效提供解決之道。因此，具有高畫質、空間利用效率加、低消耗功率、無輻射等優越特性之薄膜電晶體液晶顯示器(Thin Film Transistor Liquid Crystal Display, TFT LCD)已逐漸成為市場之主流。

一般彩色薄膜電晶體液晶顯示器所使用之顯示面板主要係由薄膜電晶體陣列基板、彩色濾光陣列基板(Color filter array substrate)和液晶層所構成，其中薄膜電晶體陣列基板是由多個以陣列排列於玻璃基板上之薄膜電晶體、與薄膜電晶體對應配置之畫素電極(Pixel Electrode)、掃描配線以及資料配線所組成。上述之薄膜



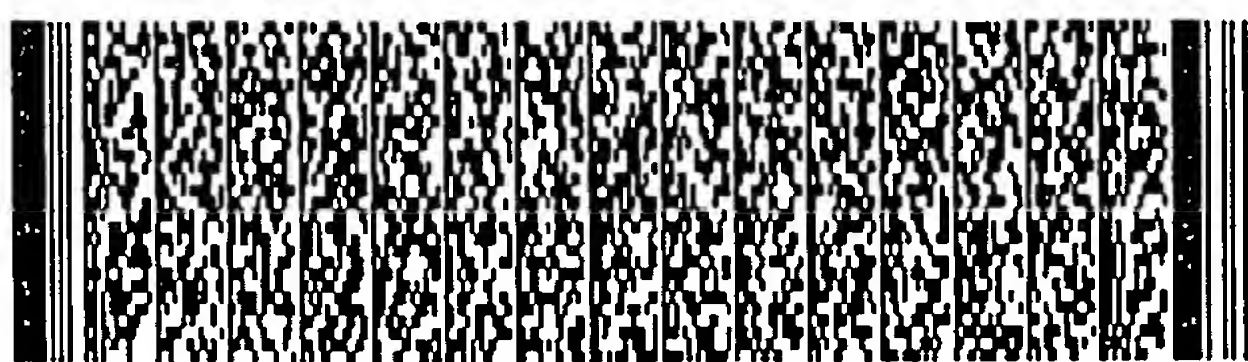
五、發明說明 (2)

電晶體係包括閘極(Gate)、通道層(Channel)、汲極(Drain)與源極(Source)，而這些薄膜電晶體係用來控制每一個畫素中液晶分子的作動。

第1A~1C圖繪示為習知一種薄膜電晶體陣列基板之製造流程的局部剖面示意圖。

請參照第1A圖，習知薄膜電晶體陣列基板之製造方法包括下列步驟：首先提供一基板100，之後在基板100上形成一第一金屬層，並且利用微影(Photolithography)與蝕刻(Etching)的方式將第一金屬層圖案化以形成一閘極110。接著，於基底100上依序全面性地沈積(Deposition)一介電層120與一非晶矽層130，以覆蓋住閘極110。繼之，在非晶矽層130上形成第二金屬層，並且利用微影與蝕刻的方式將第二金屬層圖案化以形成一源極/汲極140。之後，在基板100之上方全面性地形成一保護層150，並且在源極/汲極140上方之保護層150上形成一圖案化光阻層160。

接著請參照第1B圖，以圖案化光阻層160為罩幕，對保護層150進行等向性蝕刻，以移除未被圖案化光阻層160覆蓋之保護層150、非晶矽層130與介電層120。但是，在蝕刻保護層150、非晶矽層130與介電層120時，蝕刻液的選用常使非晶矽層130之蝕刻速率大於與介電層120之蝕刻速率，所以在蝕刻完非晶矽層130而繼續蝕刻介電層120的同時，非晶矽層130會繼續受到蝕刻，並且在區域A發生底切現象(Undercut)。



五、發明說明 (3)

最後請參照第1C圖，在基板100上方形成一畫素電極170，畫素電極170係透過保護層150之開口與源極/汲極140電性連接。但是，上述之底切現象常會使畫素電極170在區域A上的階梯覆蓋性(Step coverage)不佳，進而發生斷裂(Broken)的現象，也因此，影像訊號便無法順利地寫入畫素電極170，同時也使得薄膜電晶體陣列基板的製程良率下降。

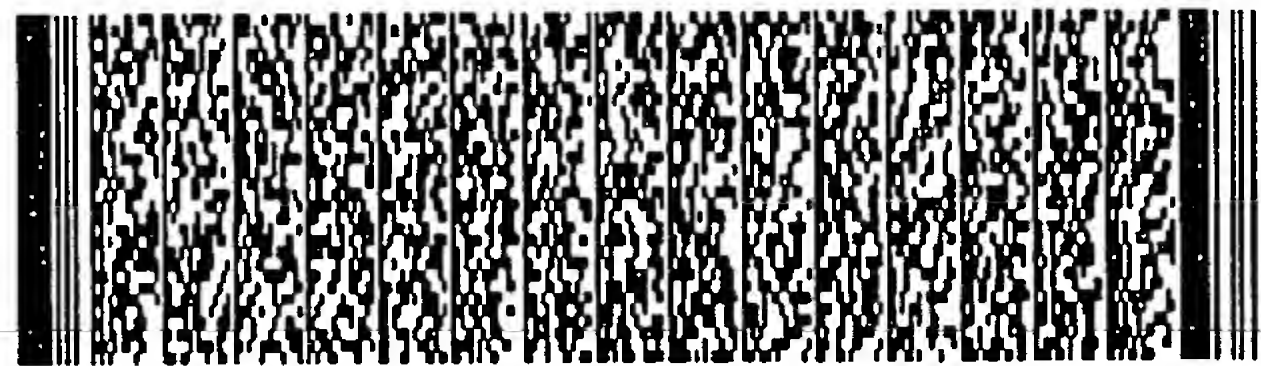
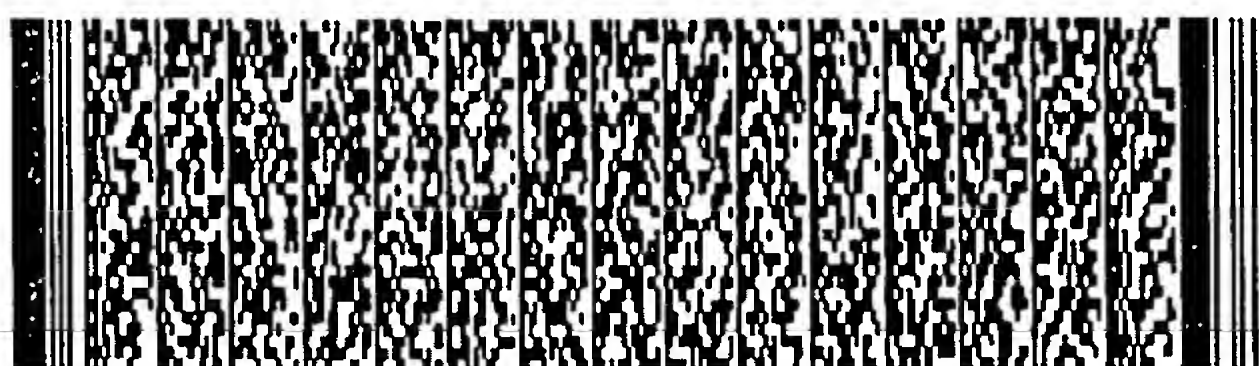
發明內容

因此，本發明的目的就是在提供一種薄膜電晶體陣列基板及薄膜疊層結構的製造方法，適於提高其製程良率。

基於上述目的，本發明提出一種薄膜電晶體陣列基板的製造方法。此方法係首先在一基板上依序形成一第一圖案化金屬層、一介電層、一非晶矽層、一第二圖案化金屬層及一保護層。其中，第一圖案化金屬層包括多條掃描配線及與掃描配線相連之多個閘極，而第二圖案化金屬層包括多條資料配線及與資料配線相連之多個源極/汲極。

接著，在保護層上形成一圖案化光阻層，圖案化光阻層至少覆蓋於源極/汲極及其周邊區域上方，圖案化光阻層之部份邊緣具有多個厚度較小之第一薄化區，每一第一薄化區分別橫跨於源極/汲極其中之一的部分邊緣上方。

之後，以圖案化光阻層為罩幕，移除圖案化光阻層未覆蓋之保護層、非晶矽層與介電層，並移除第一薄化區下方之保護層，以形成對應於第一薄化區之多個階梯狀結構。



五、發明說明 (4)

最後，在基板上形成多個畫素電極，每一畫素電極分別至少覆蓋階梯狀結構其中之一，且分別電性連接至源極/汲極其中之一。

在本發明之薄膜電晶體陣列基板的製造方法中，形成圖案化光阻層之方法例如係先在保護層上形成一光阻層。接著，提供一半調式光罩，並以半調式光罩為罩幕對光阻層進行正面曝光與顯影。其中，半調式光罩具有透光區域、半透光區域及非透光區域，且第一薄化區係對應於半調式光罩之半透光區域。

此外，在本發明之薄膜電晶體陣列基板的製造方法中，第一圖案化金屬層與第二圖案化金屬層例如皆更包括多個接合墊。接合墊係分別連接於掃描配線與資料配線之末端，且接合墊上係形成有多個貫孔，貫孔係呈陣列排列。

而且，本發明之製造方法亦可以下列步驟形成圖案化光阻層。首先，例如在保護層上形成一光阻層。

接著，例如以第一圖案化金屬層與第二圖案化金屬層為罩幕，對光阻層進行背面曝光，而曝光之能量係使光阻層部份曝光。

再者，例如提供一光罩為罩幕對光阻層進行正面曝光，而曝光之能量係使光阻層部份曝光。在第一薄化區中，源極/汲極上方之光阻層係於正面曝光時進行曝光，而第一薄化區之其餘部份的光阻層係於背面曝光時進行曝光。



五、發明說明 (6)

光罩具有透光區域、半透光區域及非透光區域，且薄化區係對應於半調式光罩之半透光區域。

另外，在本發明之薄膜疊層結構的製造方法中，在形成介電層之前例如更包括形成一第二圖案化金屬層，且移除圖案化光阻層未覆蓋之保護層、非晶矽層與介電層後，係暴露部份第二圖案化金屬層。此外，在移除部份保護層、非晶矽層與介電層之後，更包括在基板上形成一導體層，導體層係覆蓋階梯狀結構。

綜上所述，本發明之薄膜電晶體陣列基板及薄膜疊層結構的製造方法中，保護層係以具有薄化區之圖案化光阻層為罩幕而進行等向性蝕刻，其中薄化區係橫跨於圖案化金屬層（例如源極/汲極）的部分邊緣上方。因此，可避免覆蓋於此區之導體層斷裂，進而提高薄膜電晶體陣列基板及薄膜疊層結構的製程良率。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉數種實施例，並配合所附圖式，作詳細說明如下。

實施方式

第2A~2D圖繪示為本發明一實施例之薄膜電晶體陣列基板的製造流程剖面示意圖。

首先請參照第2A圖，在一基板200上依序形成一第一圖案化金屬層210、一介電層220、一非晶矽層230、一第二圖案化金屬層240及一保護層250。其中，基板200例如係一玻璃基板或一透明塑膠基板。第一圖案化金屬層210



五、發明說明 (7)

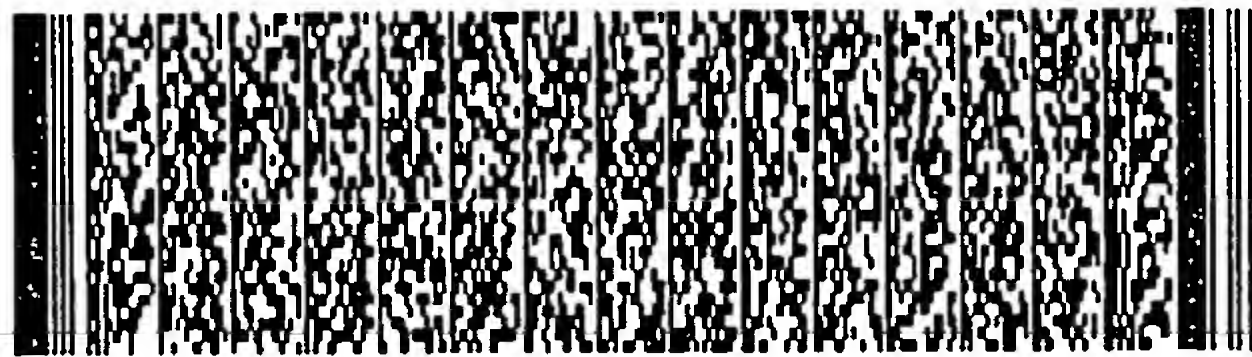
包括多條掃描配線212及與掃描配線212相連之多個閘極214。

此外，形成第一圖案化金屬層210的方法例如係先在基板210上形成一第一金屬層，形成此第一金屬層之方法例如是物理氣相沈積或是化學氣相沈積等方式，而且第一金屬層之材質可以是鉭(Ta)、鉻(Cr)、鉬(Mo)、鈦(Ti)或鋁(Al)等導體材質。接著，在此第一金屬層上形成一第一光阻層。之後，提供一光罩並以此光罩為罩幕對第一光阻層進行曝光與顯影，以形成一第一圖案化光阻層。最後，以此第一圖案化光阻層為罩幕，移除部份第一金屬層以形成第一圖案化金屬層210。

請繼續參照第2A圖，介電層220與非晶矽層230係全面性地形成於基板200上，覆蓋住第一圖案化金屬層210。其中，形成介電層220之方法例如是電漿加強化學氣相沈積法(Plasma-Enhanced Chemical Vapor Deposition, PECVD)或是其他沈積方式，介電層220之材質例如係氮化矽(Si_xN_y)、氮氧化矽(SiON)、氧化矽(SiO_x)或是其他介電材質。而形成於閘極214上之介電層220係作為一閘極絕緣層之用。

第二圖案化金屬層240包括多條資料配線242及與資料配線242相連之多個源極/汲極244。其中，源極/汲極244係位於閘極214上方的介電層220上。

另外，第一圖案化金屬層210與第二圖案化金屬層240例如皆更包括多個接合墊216，接合墊216係分別連接於掃



五、發明說明 (8)

瞄配線212與資料配線242之末端。接合墊216係於後續用以與其他元件進行電性連接。

此外，形成第二圖案化金屬層240的方法例如係先在非晶矽層230上形成一第二金屬層，形成此第二金屬層之方法例如是物理氣相沈積或是化學氣相沈積等方式，而且第二金屬層之材質可以是鈹、鉻、鈾、鈦或鋁等導體材質。接著，在此第二金屬層上形成一第二光阻層。之後，提供一光罩並以此光罩為罩幕對第二光阻層進行曝光與顯影，以形成一第二圖案化光阻層。最後，以此第二圖案化光阻層為罩幕，移除部份第二金屬層以形成第二圖案化金屬層240。

再者，形成非晶矽層230之後以及形成第二圖案化金屬層240之前，例如可形成一歐姆接觸層232於非晶矽層230與第二圖案化金屬層240之間，而歐姆接觸層232之材質例如是經摻雜之非晶矽($n^+ a-Si$)。

接著，全面性地形成保護層250於基板200上，以覆蓋住非晶矽層230與第二圖案化金屬層240。本實施例中，形成保護層250之方法例如是以電漿加強化學氣相沈積法或是其他沈積方式形成一氮化矽層。

第3圖繪示為本實施例之圖案化光阻層於源極/汲極附近之分佈示意圖。請共同參照第2B圖與第3圖，在保護層250上形成一圖案化光阻層260，此圖案化光阻層260係至少覆蓋於源極/汲極244及其周邊區域上方。同時，圖案化光阻層260例如覆蓋於接合墊216之邊緣以及掃瞄配線212



五、發明說明 (9)

上方。上述圖案化光阻層260之分佈情況係用以舉例說明，並非用以限制本發明，本實施例中的圖案化光阻層260亦可以其他的分佈型態分佈於基板200上之適當位置。圖案化光阻層260之部份邊緣具有多個厚度較小之第一薄化區262，每一個第一薄化區262分別橫跨於一個源極/汲極244的部分邊緣上方。

接著請同時參照第2B圖與第2C圖，以圖案化光阻層260為罩幕，移除圖案化光阻層260未覆蓋之保護層250、非晶矽層230與介電層220，並移除第一薄化區262下方之保護層250，以暴露第一薄化區262下方之源極/汲極244及其周邊區域之非晶矽層230，而分別於第一薄化區262下方形成多個階梯狀結構S1。另外，由於圖案化光阻層260係覆蓋於接合墊216之邊緣上方，所以此時接合墊216的中央部份亦會暴露於外界。此外，以圖案化光阻層260為罩幕而移除各材料層之方法例如係等向性蝕刻，且所使用之蝕刻液對非晶矽層230之蝕刻速率通常大於對介電層220之蝕刻速率。

最後請參照第2D圖，在基板200上形成多個畫素電極270。每一個畫素電極270分別覆蓋階一個梯狀結構S1，並且電性連接至一個源極/汲極244。此外，畫素電極270亦可覆蓋於部份掃描配線212上方之介電層220上，並與其下方之掃描配線212以及兩者之間的介電層220共同構成一畫素儲存電容器結構。而且，形成畫素電極270的同時，例如亦形成一電極材料層272於接合墊216上，並與接合墊



五、發明說明 (10)

216 電性連接。其中，畫素電極270與電極材料層272之材質例如係銦錫氧化物(Indium Tin Oxide, ITO)或鋇錫氧化物(Strontium Tin Oxide, STO)等透明導電材料。

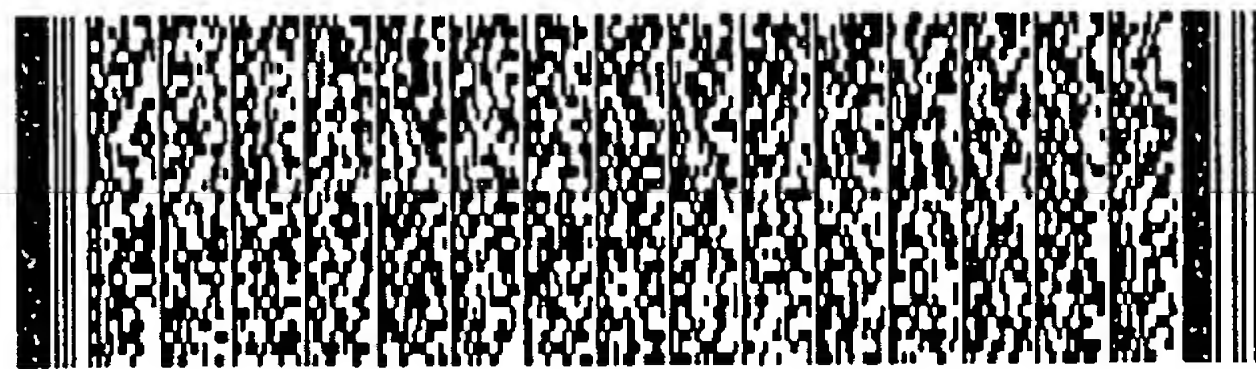
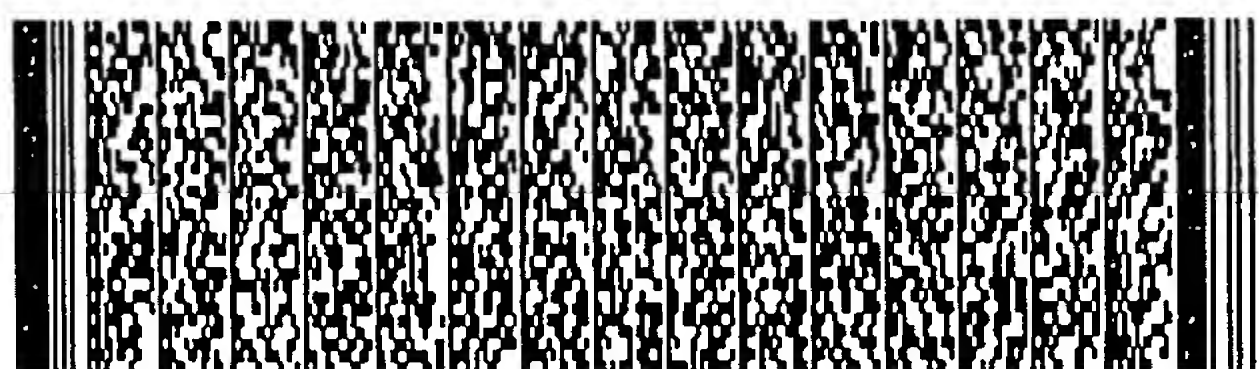
本發明之薄膜電晶體陣列基板的製造方法中，由於圖案化光阻層260具有第一薄化區262之設計，因此可以在源極/汲極244之邊緣處形成階梯狀結構S1。如此，即使在源極/汲極244之邊緣處的非晶矽層230因蝕刻速率的差異而發生底切現象，仍不會在源極/汲極244之邊緣處形成不連續的垂直壁(如第1B圖之區域A)，因此可避免畫素電極270在此處發生斷裂。

第4圖與第5圖繪示為本發明之薄膜電晶體陣列基板的製造方法中，具有薄化區之圖案化光阻層其形成方法的剖面示意圖。

請參照第4圖，形成圖案化光阻層260之方法例如係先在保護層250上形成一光阻層265。

接著，例如以第一圖案化金屬層210與第二圖案化金屬層240為罩幕，對光阻層265進行背面曝光，而曝光之能量係使光阻層265部份曝光。曝光之能量例如係調整為完全曝光所需之能量的 $2/3$ ，而曝光能量之確切值應視曝光結果而進行調整至最佳值，詳細調整方法在此即不多加敘述。

應注意的是，若欲以第4圖所示之方法形成圖案化光阻層260，則在接合墊216的部份應於形成時即將其中央區域部份設計成鏤空。第6圖繪示為本發明之一種接合墊的



五、發明說明 (11)

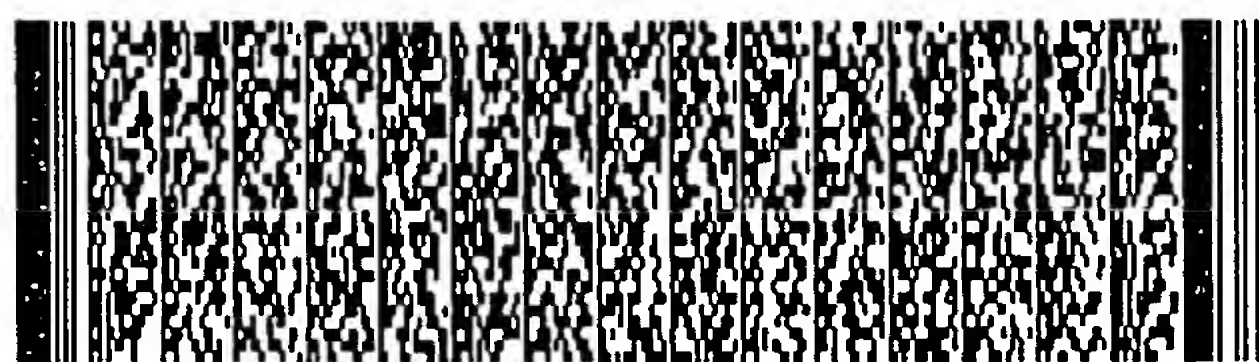
上視圖。請同時參照第4圖與第6圖，接合墊216上例如形成有多個貫孔218，貫孔218係呈陣列排列。此外，貫孔218間之金屬層的寬度D係以小於光阻層265於上述背面曝光時之解析度者為佳。如此，才能在進行背面曝光時，將接合墊216之中央區域上方的光阻層265部份曝光，並使接合墊216之中央區域能在後續製程中暴露出來。當然，第6圖所示之鏤空圖案僅為舉例說明，並非用以侷限其鏤空圖案之樣式。

再者，例如提供一光罩M10為罩幕對光阻層265進行正面曝光，而曝光之能量係使光阻層265部份曝光，其中曝光能量之確切值如背面曝光之曝光能量所述。在第一薄化區262中，源極/汲極244上方之光阻層265係於正面曝光時進行曝光，而第一薄化區262之其餘部份的光阻層265係於背面曝光時進行曝光。此外，掃描配線212側邊之非晶矽層230與接合墊216側邊之非晶矽層230，例如亦對應於光罩M10之非透光區域。

最後，對光阻層265進行顯影。

請參照第5圖，形成圖案化光阻層260之方法並不侷限於如第4圖所示之方法，亦可採用如下面所述之方法。首先，例如在保護層250上形成一光阻層265。

接著，提供一半調式光罩M20，並以半調式光罩M20為罩幕對光阻層265進行正面曝光與顯影。其中，第一薄化區262係對應於半調式光罩M20之半透光區域，而第一薄化區262旁遠離源極/汲極244之區域例如係對應於半調式光



五、發明說明 (12)

罩M20之透光區域。此外，光罩M20之半透光區域例如亦對應於接合墊216之側邊附近及掃描配線212。

本發明之薄膜電晶體陣列基板的製造方法中，源極/汲極之樣式並不侷限於上述實施例中所示，亦可有其他設計變化。

第7圖繪示為圖案化光阻層於另一樣式之源極/汲極附近的分佈示意圖。請參照第7圖，源極/汲極344例如包括一第一端子344a與一第二端子344b。第一端子344a係呈T字形，且跨越閘極314之兩側。第二端子344b係為兩個條狀端子，分別配置於第一端子344a之兩側，同時亦跨越閘極314之兩側。此種設計可消除因源極/汲極344與閘極314間的對位誤差，所造成薄膜電晶體效能不佳之缺點。而應用此源極/汲極344之設計於本發明中，其特徵仍在於圖案化光阻層360至少覆蓋於源極/汲極344及其周邊區域上方，且圖案化光阻層360之部份邊緣具有多個厚度較小之第一薄化區362，每一個第一薄化區362分別橫跨於一個源極/汲極344的部分邊緣上方。

第8圖繪示為本發明另一實施例之薄膜電晶體陣列基板的剖面示意圖。請參照第8圖，此薄膜電晶體陣列基板之製造方法係與第2A~2D圖所示之實施例相似，惟其差異在於形成第二圖案化金屬層240a時，使其更包括多個電容電極246。電容電極246位於部份掃描配線212上方，且與掃描配線212及兩者之間的介電層220共同構成畫素儲存電容。同時，在形成圖案化光阻層(圖未示)時，圖案化光阻



五、發明說明 (13)

層之部份邊緣更具有多數個厚度較小之第二薄化區，而每個第二薄化區分別橫跨於一個電容電極246的部分邊緣上方，以於電容電極246之一側形成階梯狀結構S2。在本實施例中，製造方法的其餘步驟係與前一實施例相同。所以，在畫素結構270覆蓋於階梯狀結構S2上時，亦可避免發生斷裂。

承上述，本發明上揭之技術亦可應用於薄膜電晶體陣列基板上的其他位置，而其應用例舉例說明如下。

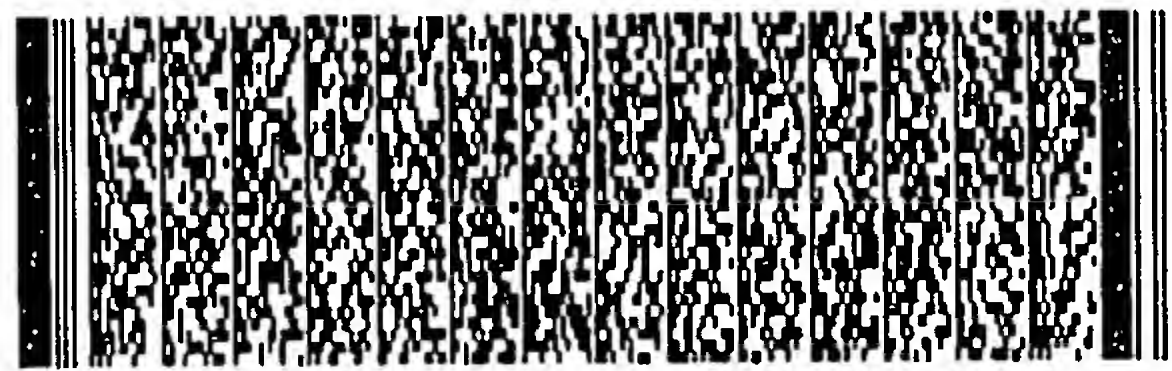
第9A~9C圖繪示為本發明一實施例之薄膜疊層結構的製造流程剖面示意圖。

首先請參照第9A圖，在一基板400之正面上依序形成一介電層420、一非晶矽層430、一第一圖案化金屬層440及一保護層450。此外，非晶矽層430與第一圖案化金屬層440之間例如形成有一歐姆接觸層432。

接著，在保護層450上形成一圖案化光阻層460，圖案化光阻層460之部份邊緣具有一厚度較小之薄化區462，且薄化區462係橫跨於第一圖案化金屬層440之部分邊緣上方。

之後，以圖案化光阻層460為罩幕，移除圖案化光阻層460未覆蓋之保護層450、非晶矽層430與介電層420，並移除薄化區462下方之保護層450。如此，即可形成對應於薄化區462之階梯狀結構S3。

此外，例如更在移除圖案化光阻層460未覆蓋之保護層450、非晶矽層430與介電層420後，在基板400上形成一



五、發明說明 (14)

導體層470，導體層470係覆蓋階梯狀結構S3。由於導體層470係覆蓋於階梯狀結構S3上，所以導體層470不會因底切現象而發生斷裂。導體層470之材質例如係銦錫氧化物或鋨錫氧化物等透明導電材料。

第10圖與第11圖繪示為本發明之薄膜疊層結構的製造方法中，具有薄化區之圖案化光阻層其形成方法的剖面示意圖。

請參照第10圖，形成圖案化光阻層460之方法例如係先在保護層450上形成一光阻層465。

接著，例如以第一圖案化金屬層440為罩幕對光阻層465進行背面曝光，而曝光之能量係使光阻層465部份曝光。

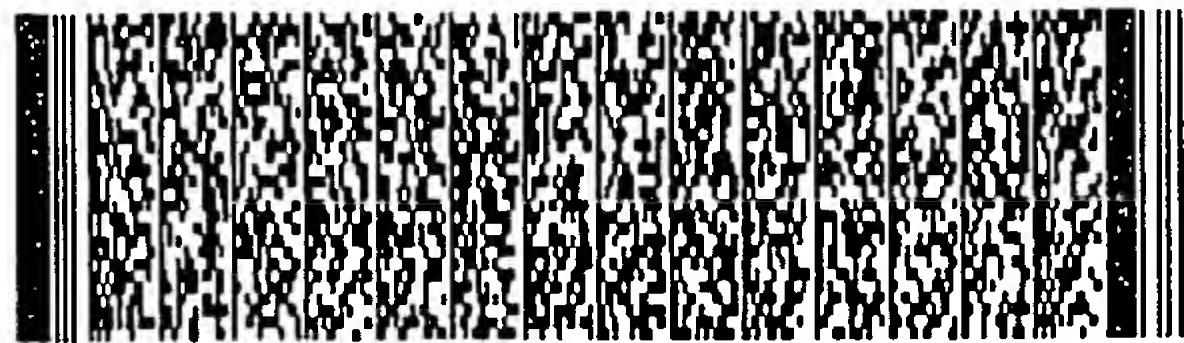
再者，例如提供一光罩M30為罩幕對光阻層465進行正面曝光，而曝光之能量係使光阻層465部份曝光。同時，在薄化區462中，第一圖案化金屬層440上方之該光阻層465係於正面曝光時進行曝光，而薄化區462之其餘部份的光阻層465係於背面曝光時進行曝光。

其中，每次曝光能量大小的決定方式，係與以第4圖為例所介紹之曝光方式相同。

最後，對光阻層465進行顯影。

請參照第11圖，形成圖案化光阻層460之方法並不侷限於如第10圖所示之方法，亦可採用如下面所述之方法。首先，例如在保護層450上形成一光阻層465。

接著，例如提供一半調式光罩M40，並以半調式光罩



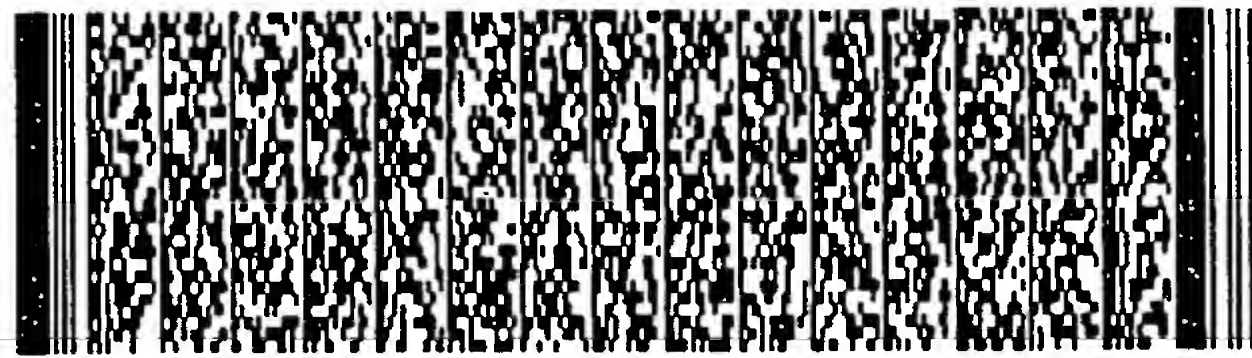
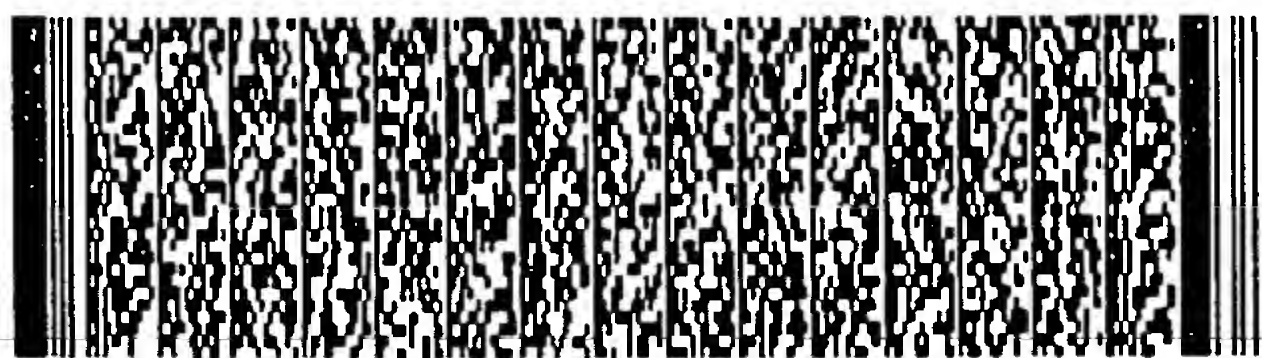
五、發明說明 (15)

M40 為罩幕對光阻層465進行正面曝光與顯影。其中，半調式光罩M40具有透光區域、半透光區域及非透光區域，且薄化區462係對應於半調式光罩M40之半透光區域，而薄化區462旁遠離第一圖案化金屬層440之區域例如係對應於半調式光罩M40之透光區域。

第12圖繪示為本發明另一實施例之薄膜疊層結構的剖面示意圖。請參照第12圖，此薄膜疊層結構之製造方法中，主要係於形成介電層420之前更包括形成一第二圖案化金屬層410。而且，移除圖案化光阻層460未覆蓋之保護層450、非晶矽層430與介電層420後，係暴露部份第二圖案化金屬層410。在本實施例中，製造方法的其餘步驟係與前一實施例相同，因此亦會形成一階梯狀結構S4。所以，在覆蓋導體層470於階梯狀結構S4上，以電性連接第二圖案化金屬層410與第一圖案化金屬層440後，本方法仍具有避免導體層470因底切現象而發生斷裂之優點。

第13圖繪示為本發明之薄膜疊層結構的製造方法中，其圖案化光阻層的分佈示意圖。請參照第13圖，本發明之薄膜疊層結構的製造方法例如可應用於薄膜電晶體陣列基板之修補結構中，當然亦不侷限於應用在此處。其中，圖案化光阻層460之部份邊緣具有一厚度較小之薄化區462，且薄化區462係橫跨於第一圖案化金屬層440之部分邊緣上方。

綜上所述，本發明之薄膜電晶體陣列基板及薄膜疊層結構的製造方法，係於蝕刻保護層前形成具有薄化區之圖



五、發明說明 (16)

案化光阻層，其中薄化區係橫跨於圖案化金屬層（例如源極/汲極）的部分邊緣上方。接著以圖案化光阻層為罩幕進行等向性蝕刻，則薄化區下方之保護層可完全移除，且非晶矽層延伸出圖案化金屬層之邊緣。因此，即使在此等向性蝕刻過程中非晶矽層發生底切現象，亦不會造成覆蓋於此區之導體層斷裂，進而提高薄膜電晶體陣列基板及薄膜疊層結構的製程良率。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A~1C圖繪示為習知一種薄膜電晶體陣列基板之製造流程的局部剖面示意圖。

第2A~2D圖繪示為本發明一實施例之薄膜電晶體陣列基板的製造流程剖面示意圖。

第3圖繪示為本實施例之圖案化光阻層於源極/汲極附近之分佈示意圖。

第4圖與第5圖繪示為本發明之薄膜電晶體陣列基板的製造方法中，具有薄化區之圖案化光阻層其形成方法的剖面示意圖。

第6圖繪示為本發明之一種接合墊的上視圖。

第7圖繪示為圖案化光阻層於另一樣式之源極/汲極附近的分佈示意圖。

第8圖繪示為本發明另一實施例之薄膜電晶體陣列基板的剖面示意圖。

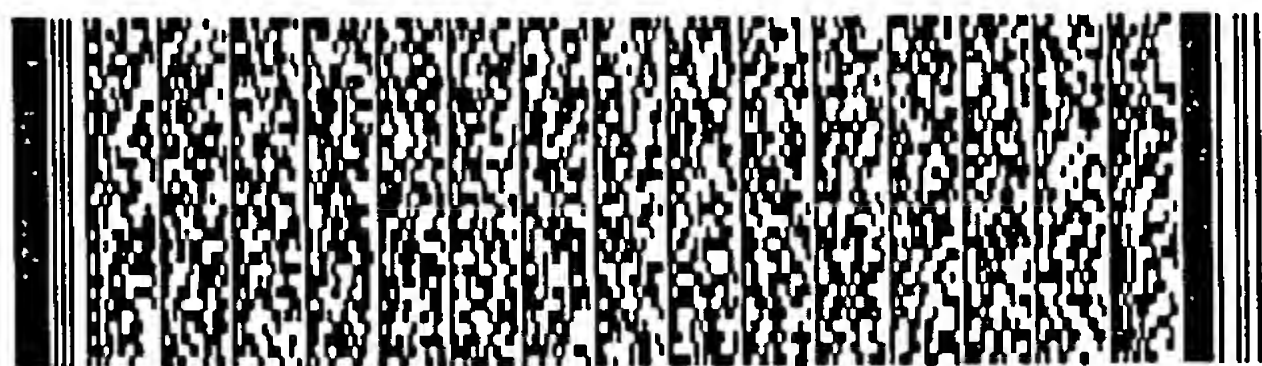
第9A~9C圖繪示為本發明一實施例之薄膜疊層結構的製造流程剖面示意圖。

第10圖與第11圖繪示為本發明之薄膜疊層結構的製造方法中，具有薄化區之圖案化光阻層其形成方法的剖面示意圖。

第12圖繪示為本發明另一實施例之薄膜疊層結構的剖面示意圖。

第13圖繪示為本發明之薄膜疊層結構的製造方法中，其圖案化光阻層的分佈示意圖。

【圖式標示說明】



圖式簡單說明

- 100 : 基板
- 110 : 閘極
- 120 : 介電層
- 130 : 非晶矽層
- 140 : 源極 / 汲極
- 150 : 保護層
- 160 : 圖案化光阻層
- 170 : 畫素電極
- 200、400 : 基板
- 210、440 : 第一圖案化金屬層
- 212 : 掃描配線
- 214、314 : 閘極
- 216 : 接合墊
- 218 : 貫孔
- 220、420 : 介電層
- 230、430 : 非晶矽層
- 232、432 : 歐姆接觸層
- 240、240a、410 : 第二圖案化金屬層
- 242 : 資料配線
- 244、344 : 源極 / 汲極
- 250、450 : 保護層
- 260、360、460 : 圖案化光阻層
- 262、362、462 : 第一薄化區
- 265、465 : 光阻層



圖式簡單說明

270 : 畫素電極

272 : 電極材料層

470 : 導體層

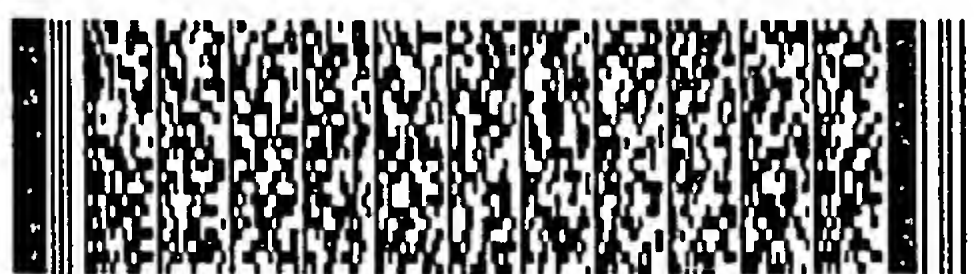
A : 區域

S1、S2、S3、S4 : 階梯狀結構

M10、M30 : 光罩

M20、M40 : 半調式光罩

D : 寬度



六、申請專利範圍

1. 一種薄膜電晶體陣列基板的製造方法，包括：

在一基板上依序形成一第一圖案化金屬層、一介電層、一非晶矽層、一第二圖案化金屬層及一保護層，其中該第一圖案化金屬層包括多數條掃描配線及與該些掃描配線相連之多數個閘極，該第二圖案化金屬層包括多數條資料配線及與該些資料配線相連之多數個源極/汲極；

在該保護層上形成一圖案化光阻層，該圖案化光阻層至少覆蓋於該些源極/汲極及其周邊區域上方，該圖案化光阻層之部份邊緣具有多數個厚度較小之第一薄化區，每一該些第一薄化區分別橫跨於該些源極/汲極其中之一的部分邊緣上方；

以該圖案化光阻層為罩幕，移除該圖案化光阻層未覆蓋之該保護層、該非晶矽層與該介電層，並移除該些第一薄化區下方之該保護層，以形成對應於該些第一薄化區之多數個階梯狀結構；以及

在該基板上形成多數個畫素電極，每一該些畫素電極分別至少覆蓋該些階梯狀結構其中之一，且分別電性連接至該些源極/汲極其中之一。

2. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中形成該圖案化光阻層之方法包括：

在該保護層上形成一光阻層；以及

提供一半調式光罩，並以該半調式光罩為罩幕對該光阻層進行正面曝光與顯影，其中該半調式光罩具有透光區域、半透光區域及非透光區域，且該些第一薄化區係對應



六、申請專利範圍

於該半調式光罩之半透光區域。

3. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中該第一圖案化金屬層與該第二圖案化金屬層皆更包括多數個接合墊，該些接合墊係分別連接於該些掃描配線與該些資料配線之末端，且該些接合墊上係形成有多數個貫孔，該些貫孔係呈陣列排列。

4. 如申請專利範圍第3項所述之薄膜電晶體陣列基板的製造方法，其中形成該圖案化光阻層之方法包括：

在該保護層上形成一光阻層；

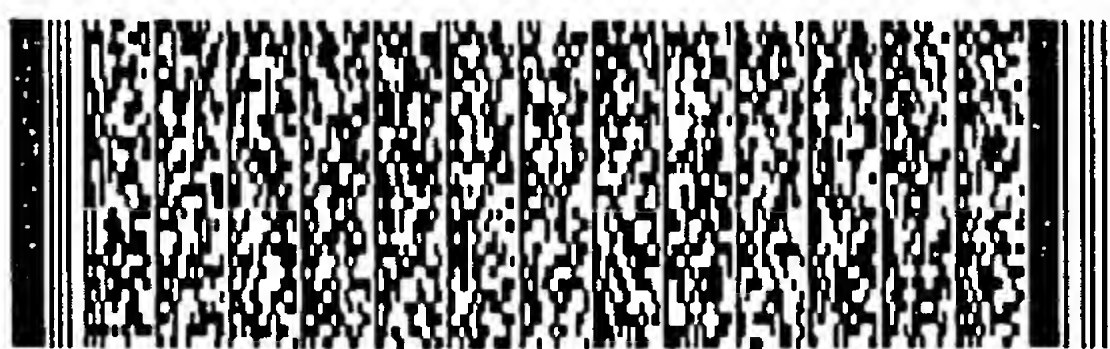
以該第一圖案化金屬層與該第二圖案化金屬層為罩幕，對該光阻層進行背面曝光，而曝光之能量係使該光阻層部分曝光；

提供一光罩，並以該光罩為罩幕對該光阻層進行正面曝光，而曝光之能量係使該光阻層部分曝光，在該些第一薄化區中，該些源極/汲極上方之該光阻層係於正面曝光時進行曝光，而該些第一薄化區之其餘部份的該光阻層係於背面曝光時進行曝光；以及

對該光阻層進行顯影。

5. 如申請專利範圍第4項所述之薄膜電晶體陣列基板的製造方法，其中該些貫孔間之金屬層的寬度係小於進行背面曝光時之曝光解析度。

6. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中該第二圖案化金屬層更包括多數個電容電極，位於部份該些掃描配線上方，而該圖案化光阻層之



六、申請專利範圍

部份邊緣更具有多數個厚度較小之第二薄化區，每一該些第二薄化區分別橫跨於該些電容電極其中之一的部分邊緣上方。

7. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中形成該第一圖案化金屬層的方法包括：

在該基板上形成一第一金屬層；

在該第一金屬層上形成一第一圖案化光阻層；以及

以該第一圖案化光阻層為罩幕，移除部份該第一金屬層以形成該第一圖案化金屬層。

8. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中形成該第二圖案化金屬層的方法包括：

在該非晶矽層上形成一第二金屬層；

在該第二金屬層上形成一第二圖案化光阻層；以及

以該第二圖案化光阻層為罩幕，移除部份該第二金屬層以形成該第二圖案化金屬層。

9. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中在形成該非晶矽層之後以及形成該第二圖案化金屬層之前，更包括於該非晶矽層與該第二圖案化金屬層之間形成一歐姆接觸層。

10. 如申請專利範圍第1項所述之薄膜電晶體陣列基板的製造方法，其中該些材料層之移除方法包括等向性蝕刻。

11. 如申請專利範圍第9項所述之薄膜電晶體陣列基板的製造方法，其中該些材料層之移除方法更包括使用一蝕



六、申請專利範圍

刻液，且該蝕刻液對該非晶矽層之蝕刻速率大於對該介電層之蝕刻速率。

12. 一種薄膜疊層結構的製造方法，包括：

在一基板之正面上依序形成一介電層、一非晶矽層、一第一圖案化金屬層及一保護層；

在該保護層上形成一圖案化光阻層，該圖案化光阻層之部份邊緣具有一厚度較小之薄化區，且該薄化區係橫跨於該第一圖案化金屬層之部分邊緣上方；以及

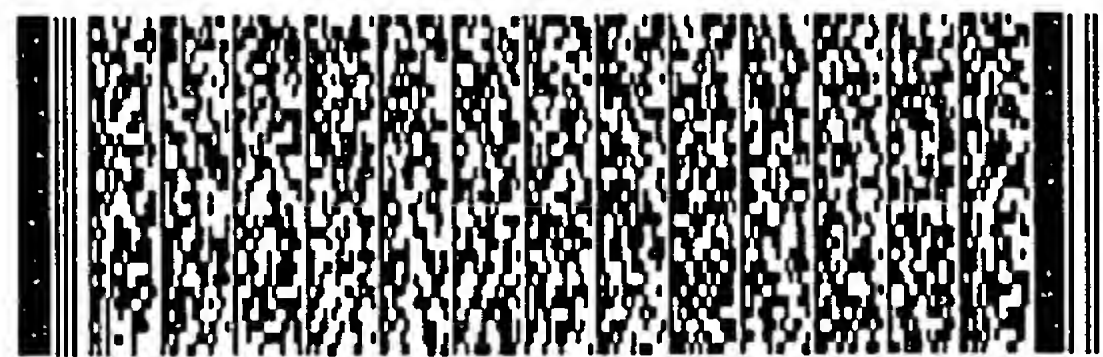
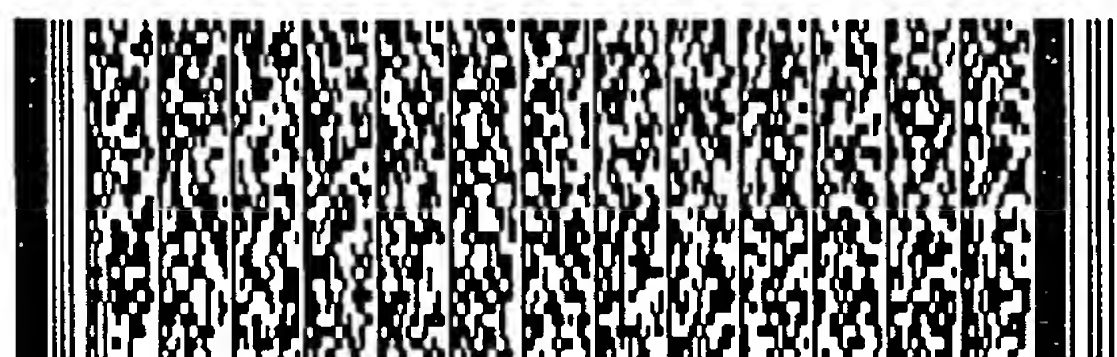
以該圖案化光阻層為罩幕，移除該圖案化光阻層未覆蓋之該保護層、該非晶矽層與該介電層，並移除該薄化區下方之該保護層，以形成對應於該薄化區之一階梯狀結構。

13. 如申請專利範圍第12項所述之薄膜疊層結構的製造方法，其中在形成該介電層之前更包括形成一第二圖案化金屬層，且移除該圖案化光阻層未覆蓋之該保護層、該非晶矽層與該介電層後，係暴露部份該第二圖案化金屬層。

14. 如申請專利範圍第12項或第13項所述之薄膜疊層結構的製造方法，其中形成該圖案化光阻層之方法包括：

在該保護層上形成一光阻層；以及

提供一半調式光罩，並以該半調式光罩為罩幕對該光阻層進行正面曝光與顯影，其中該半調式光罩具有透光區域、半透光區域及非透光區域，且該薄化區係對應於該半調式光罩之半透光區域。



六、申請專利範圍

15. 如申請專利範圍第12項或第13項所述之薄膜疊層結構的製造方法，其中形成該圖案化光阻層之方法包括：

在該保護層上形成一光阻層；

以該第一圖案化金屬層為罩幕對該光阻層進行背面曝光，而曝光之能量係使該光阻層部份曝光；

提供一光罩，並以該光罩為罩幕對該光阻層進行正面曝光，而曝光之能量係使該光阻層部份曝光，在該薄化區域中，該第一圖案化金屬層上方之該光阻層係於正面曝光時進行曝光，而該薄化區之其餘部份的該光阻層係於背面曝光時進行曝光；以及

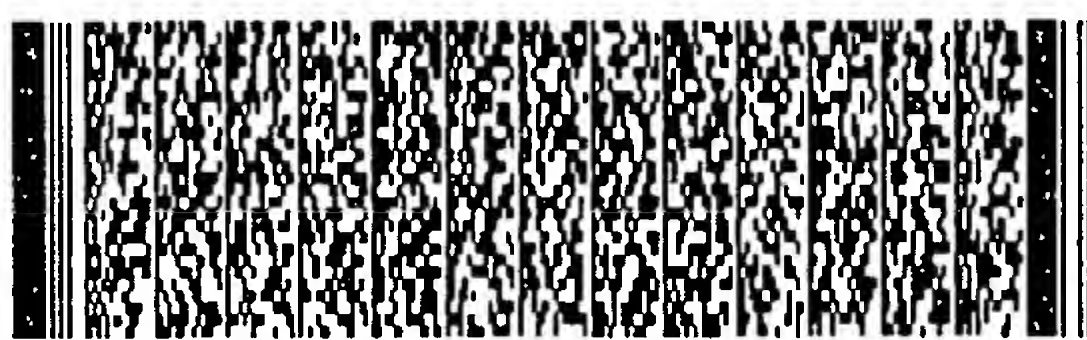
對該光阻層進行顯影。

16. 如申請專利範圍第12項所述之薄膜疊層結構的製造方法，其中該些材料層之移除方法包括等向性蝕刻。

17. 如申請專利範圍第16項所述之薄膜疊層結構的製造方法，其中該些材料層之移除方法更包括使用一蝕刻液，且該蝕刻液對該非晶矽層之蝕刻速率大於對該介電層之蝕刻速率。

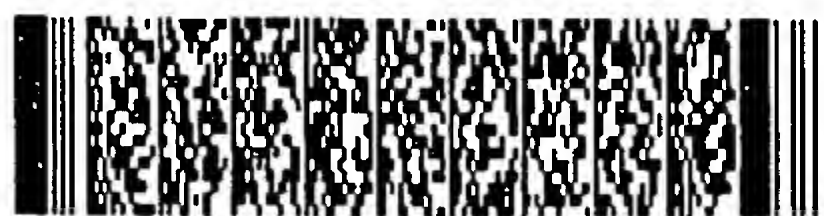
18. 如申請專利範圍第12項所述之薄膜疊層結構的製造方法，其中在移除部份該保護層、該非晶矽層與該介電層之後，更包括在該基板上形成一導體層，該導體層係覆蓋該階梯狀結構。

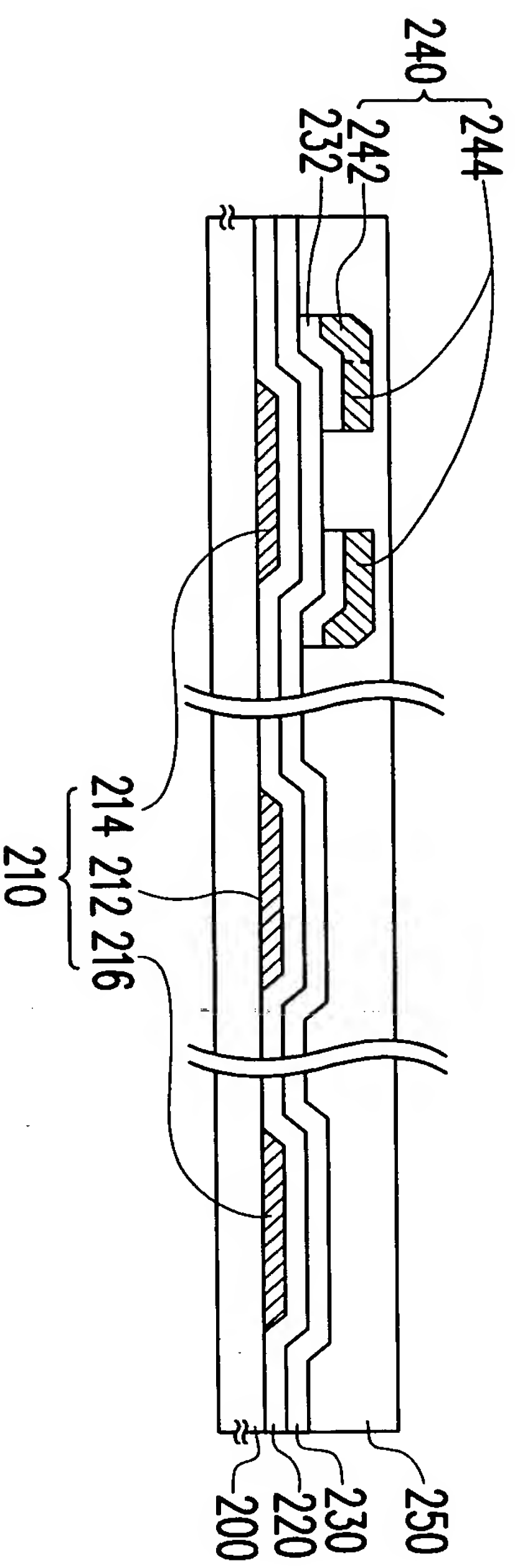
19. 如申請專利範圍第12項所述之薄膜疊層結構的製造方法，其中在形成該非晶矽層之後以及形成該第一圖案化金屬層之前，更包括於該非晶矽層與該第一圖案化金屬



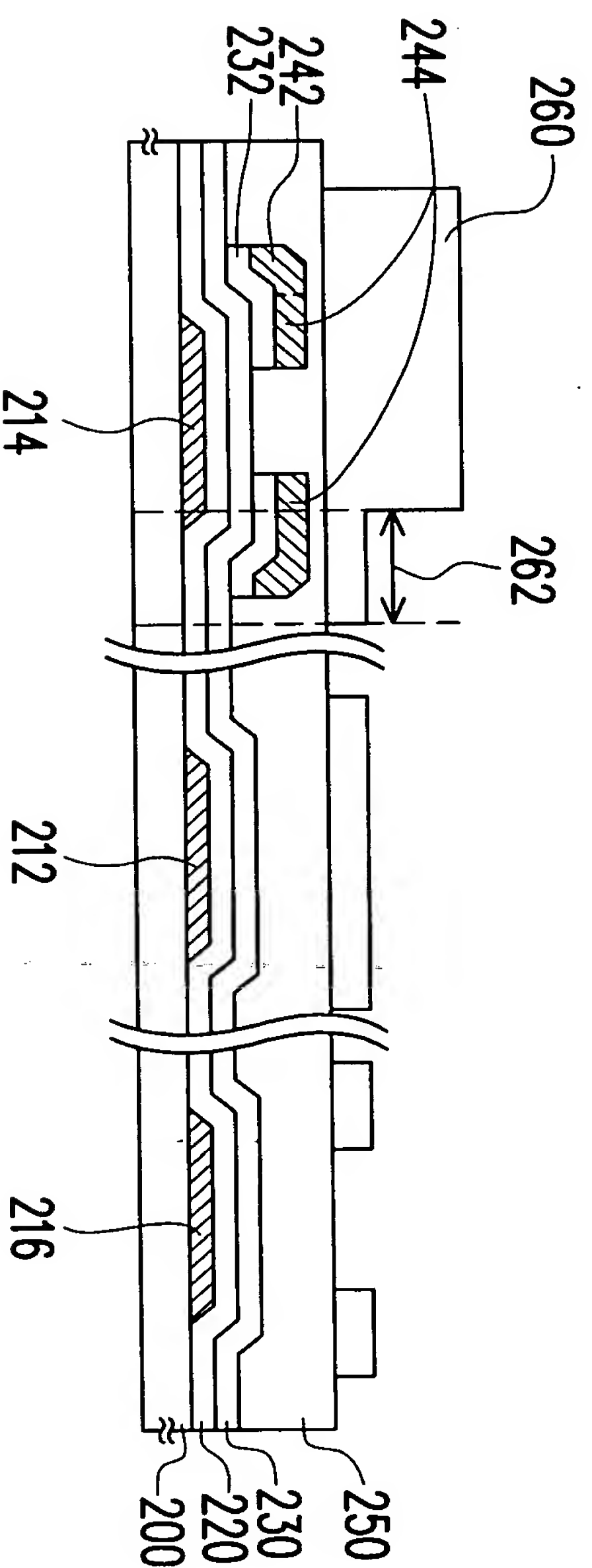
六、申請專利範圍

層之間形成一歐姆接觸層。

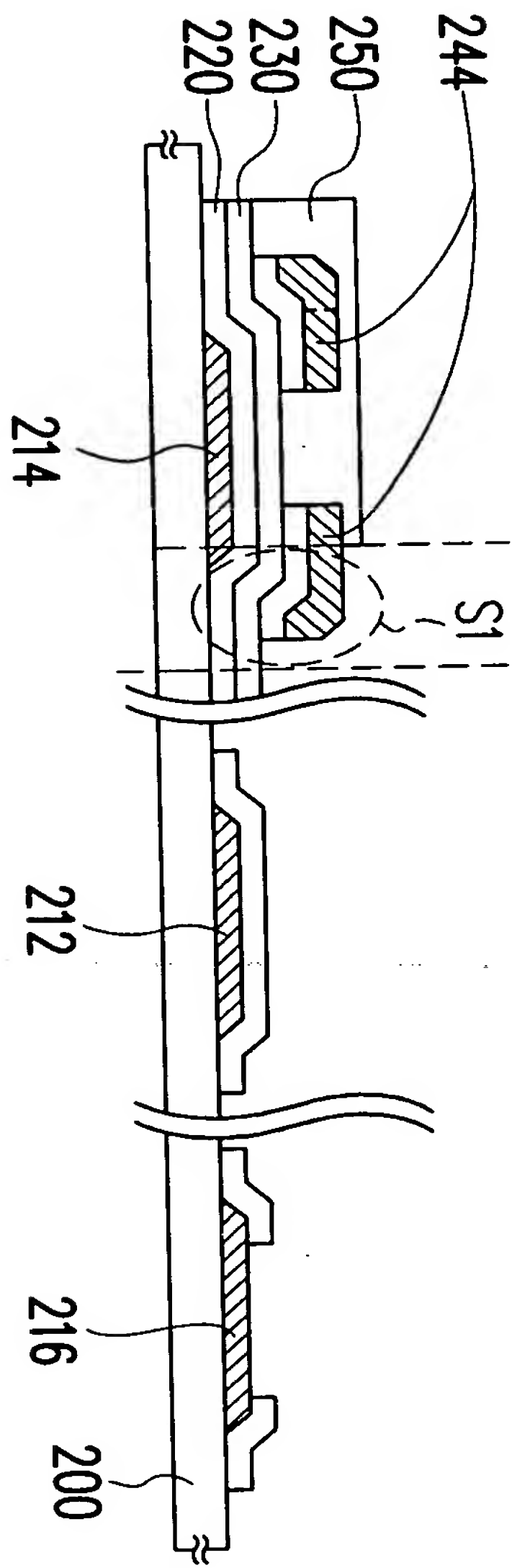




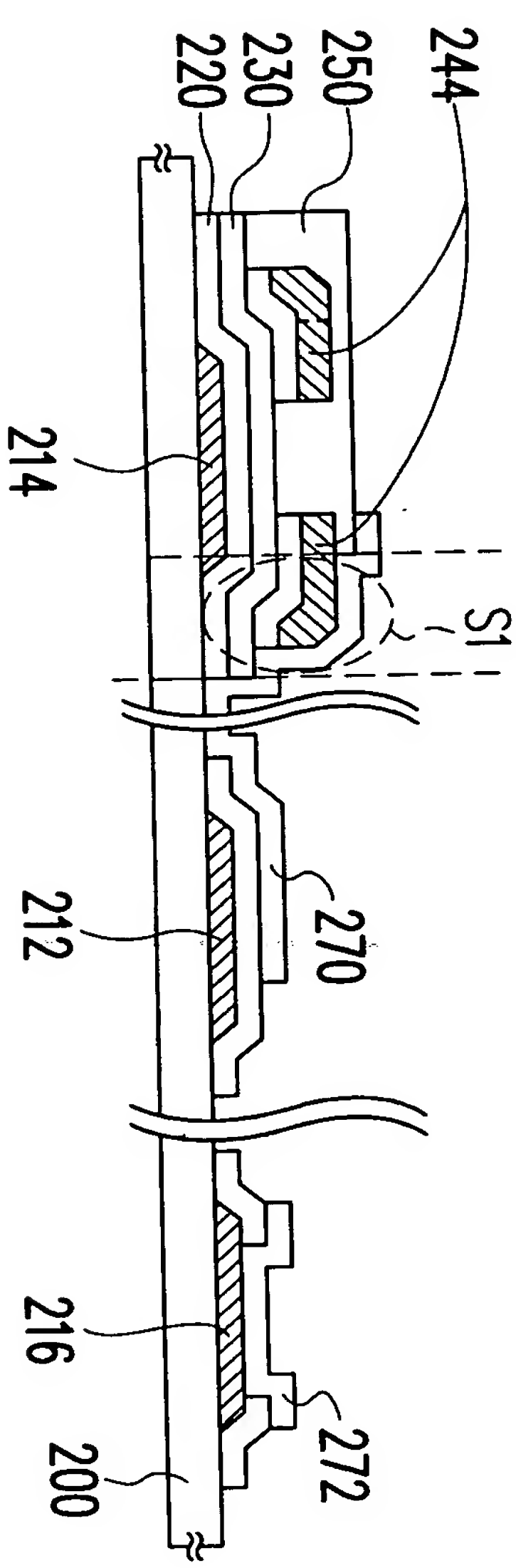
第2A圖



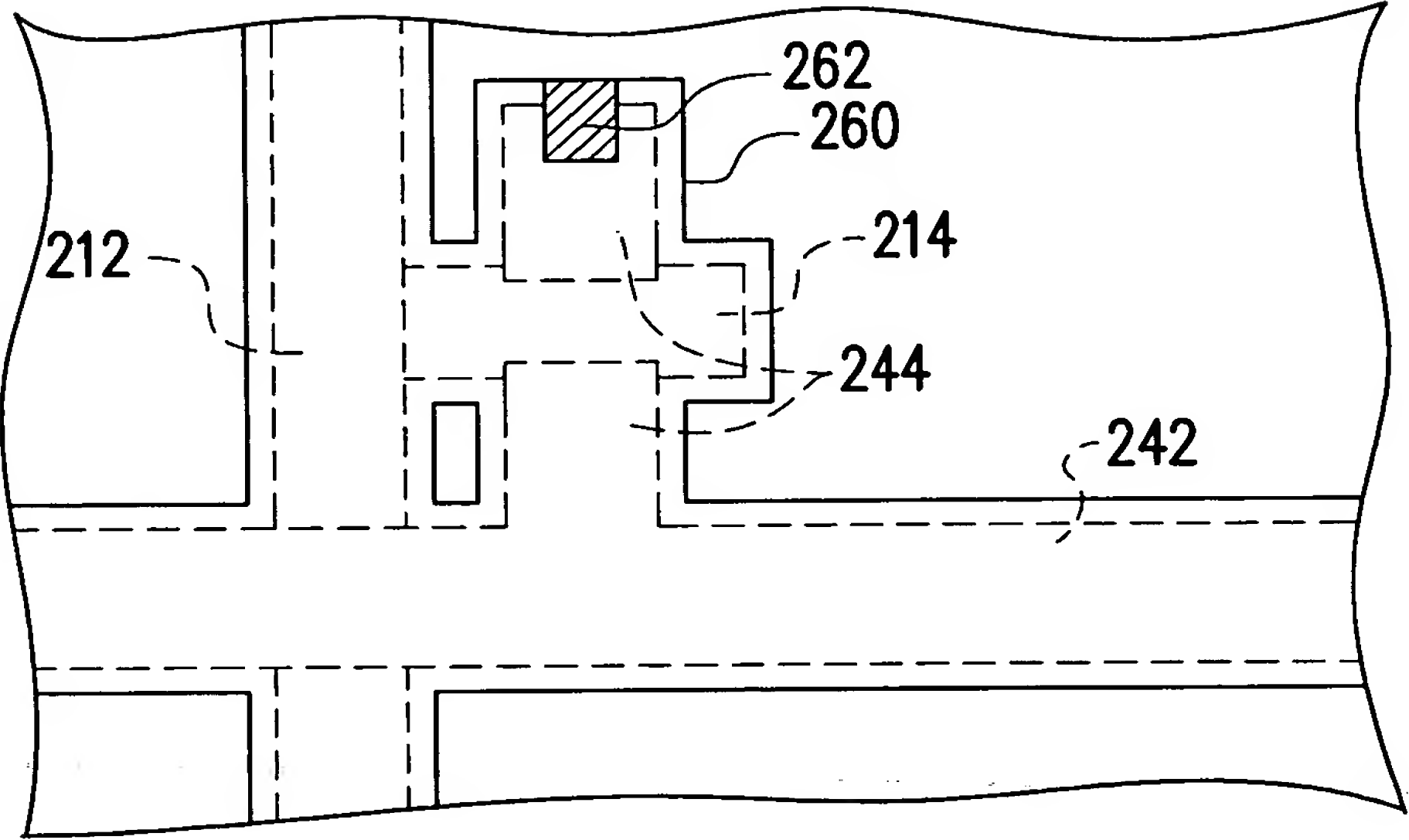
第2B圖



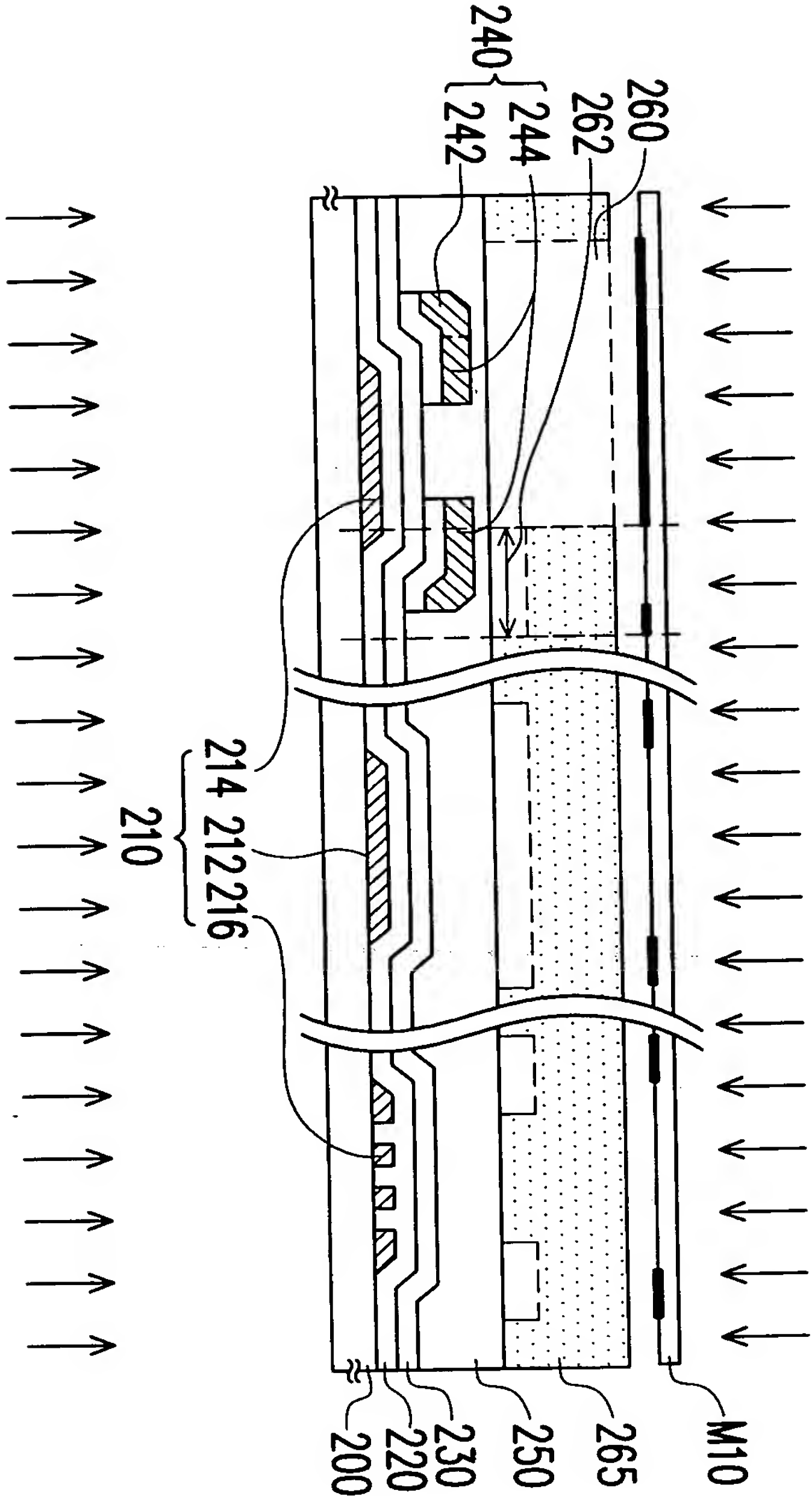
第2C圖



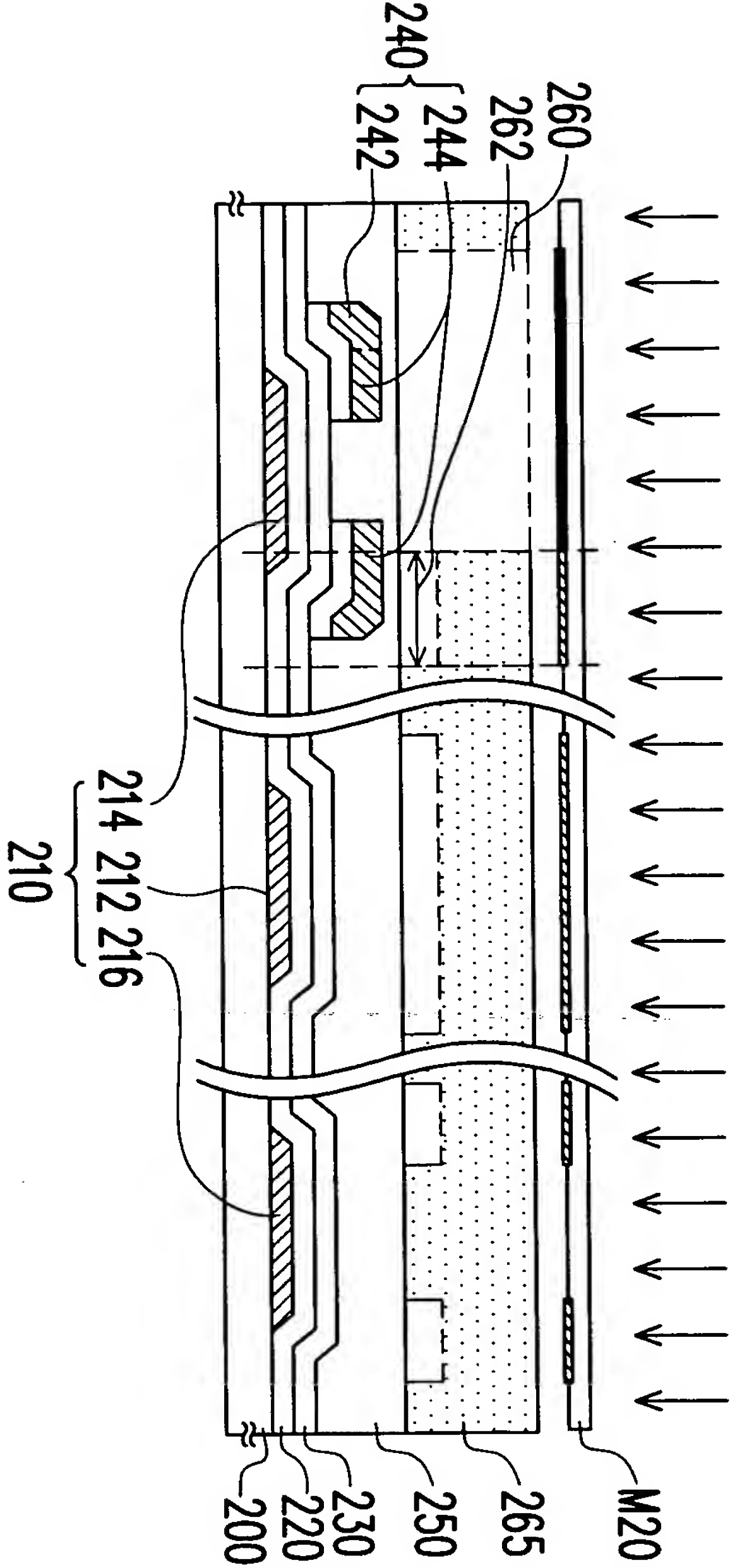
第2D圖



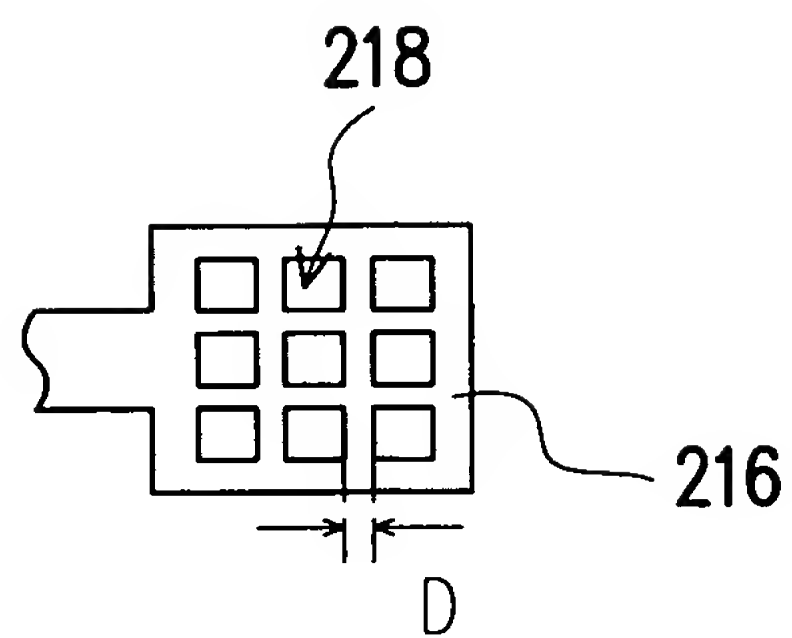
第 3 圖



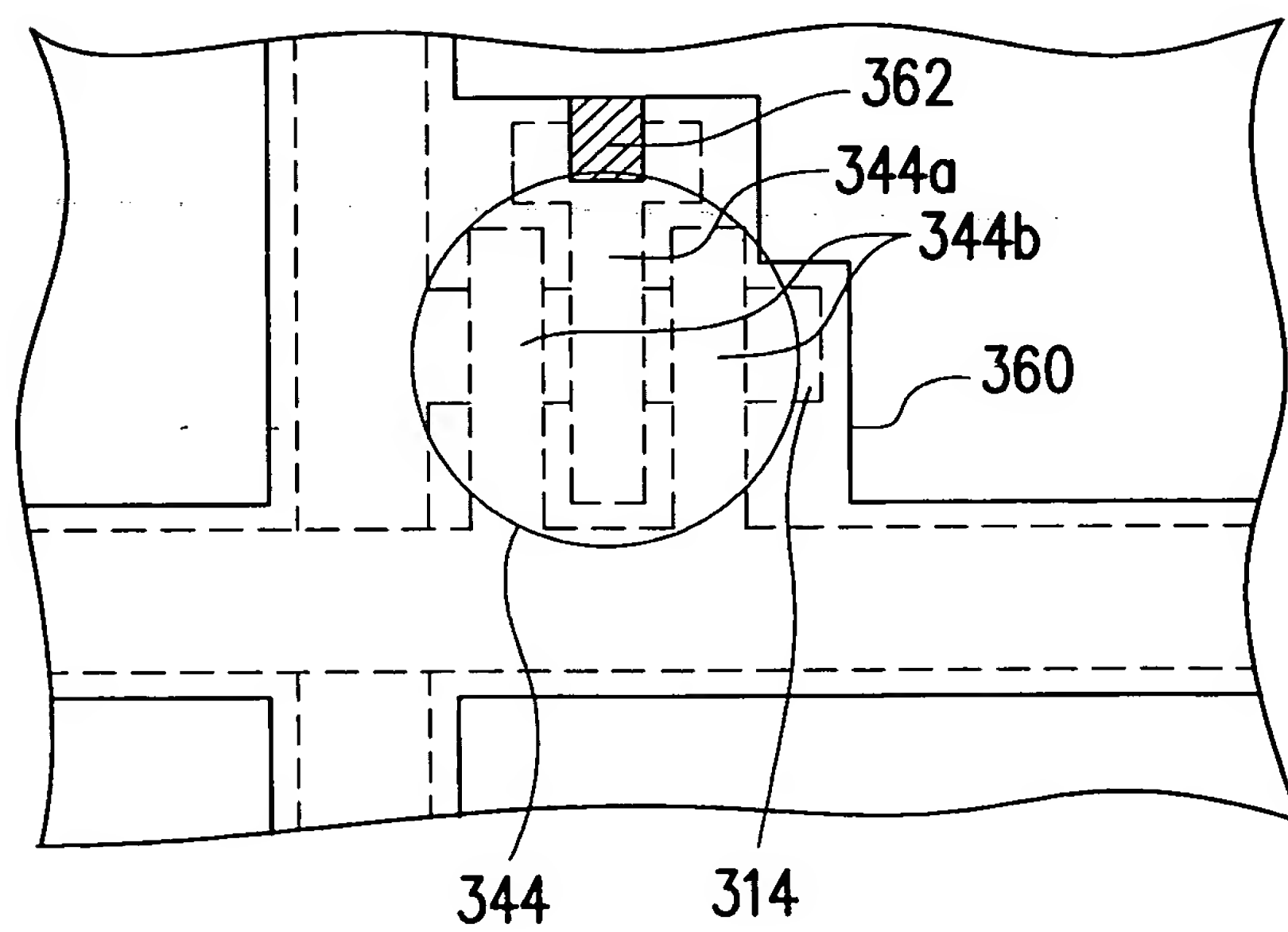
第 4 圖



第 5 圖



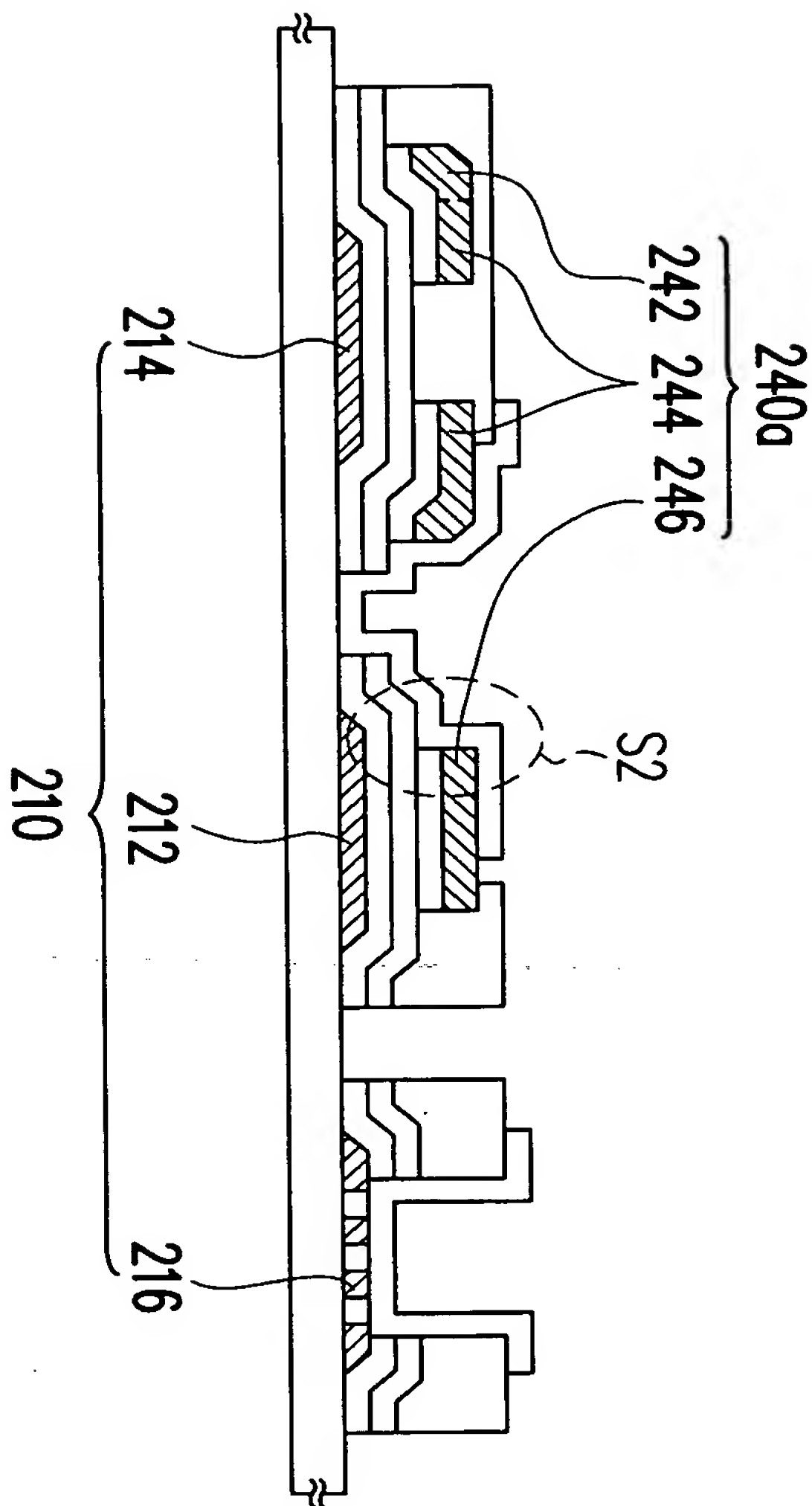
第 6 圖



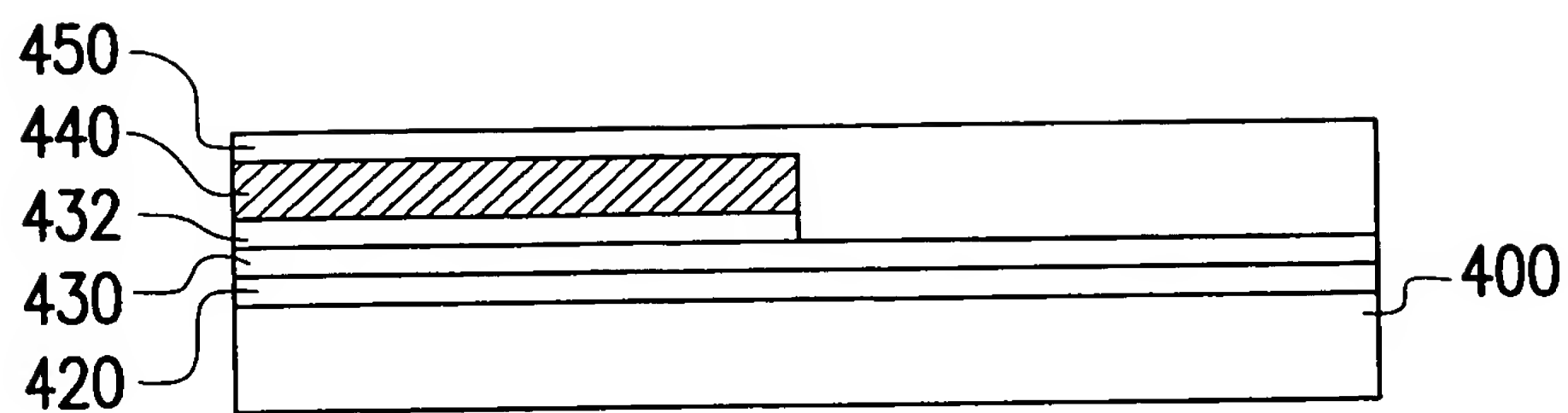
第 7 圖



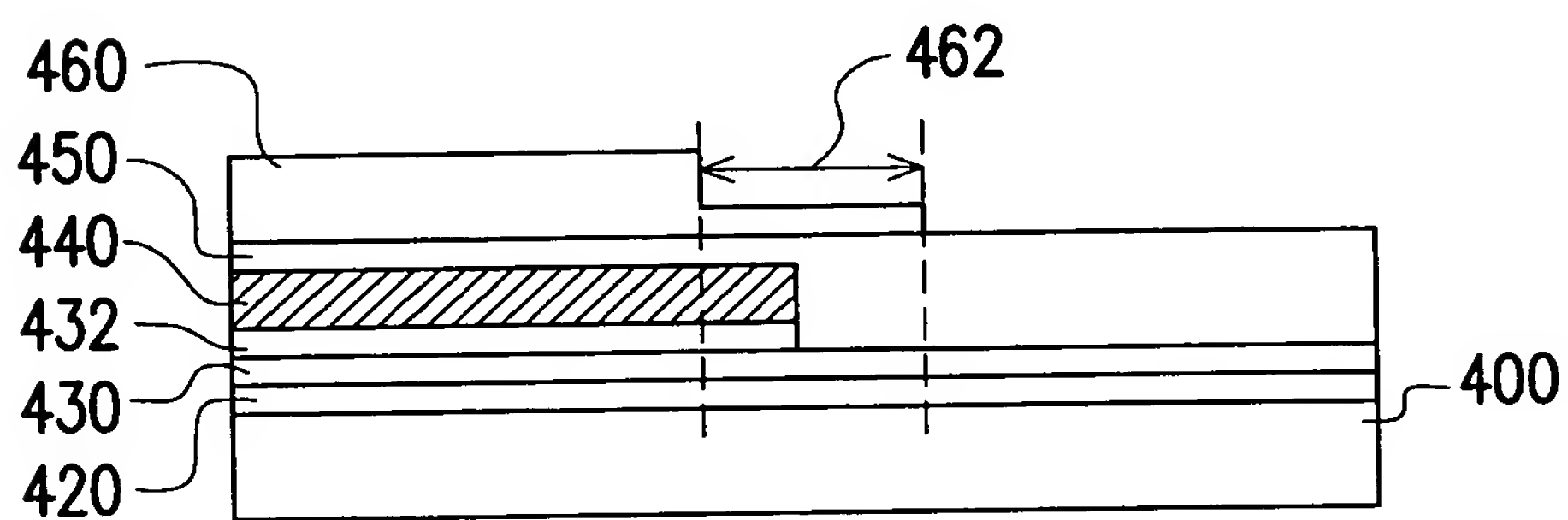
12406TW_M



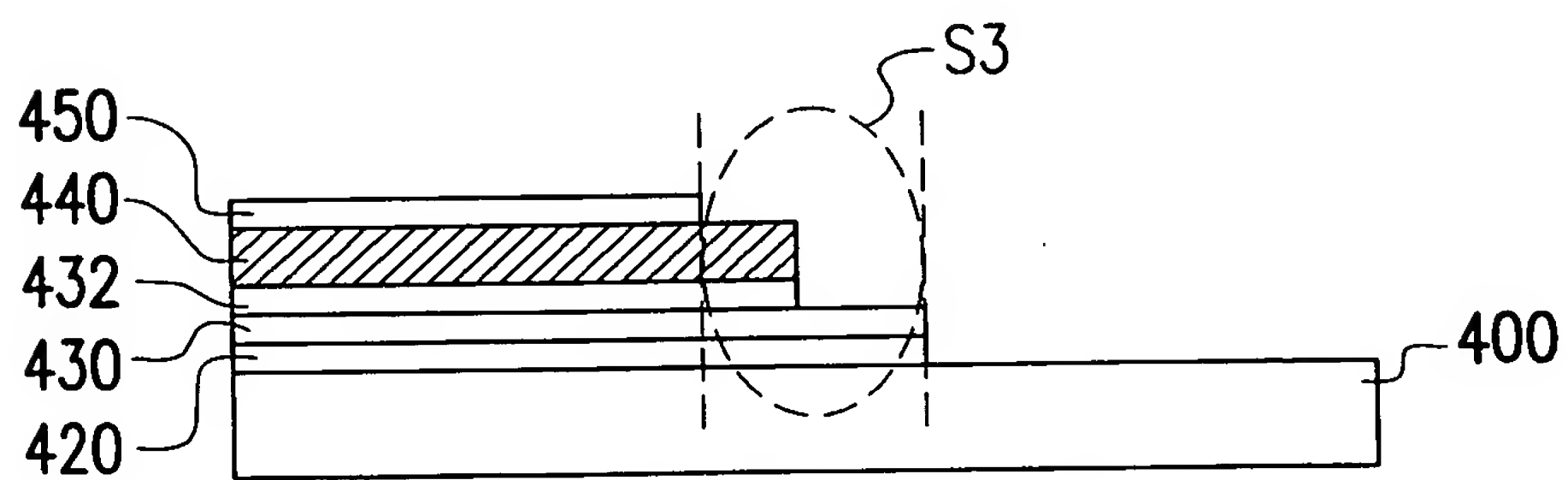
第 8 圖



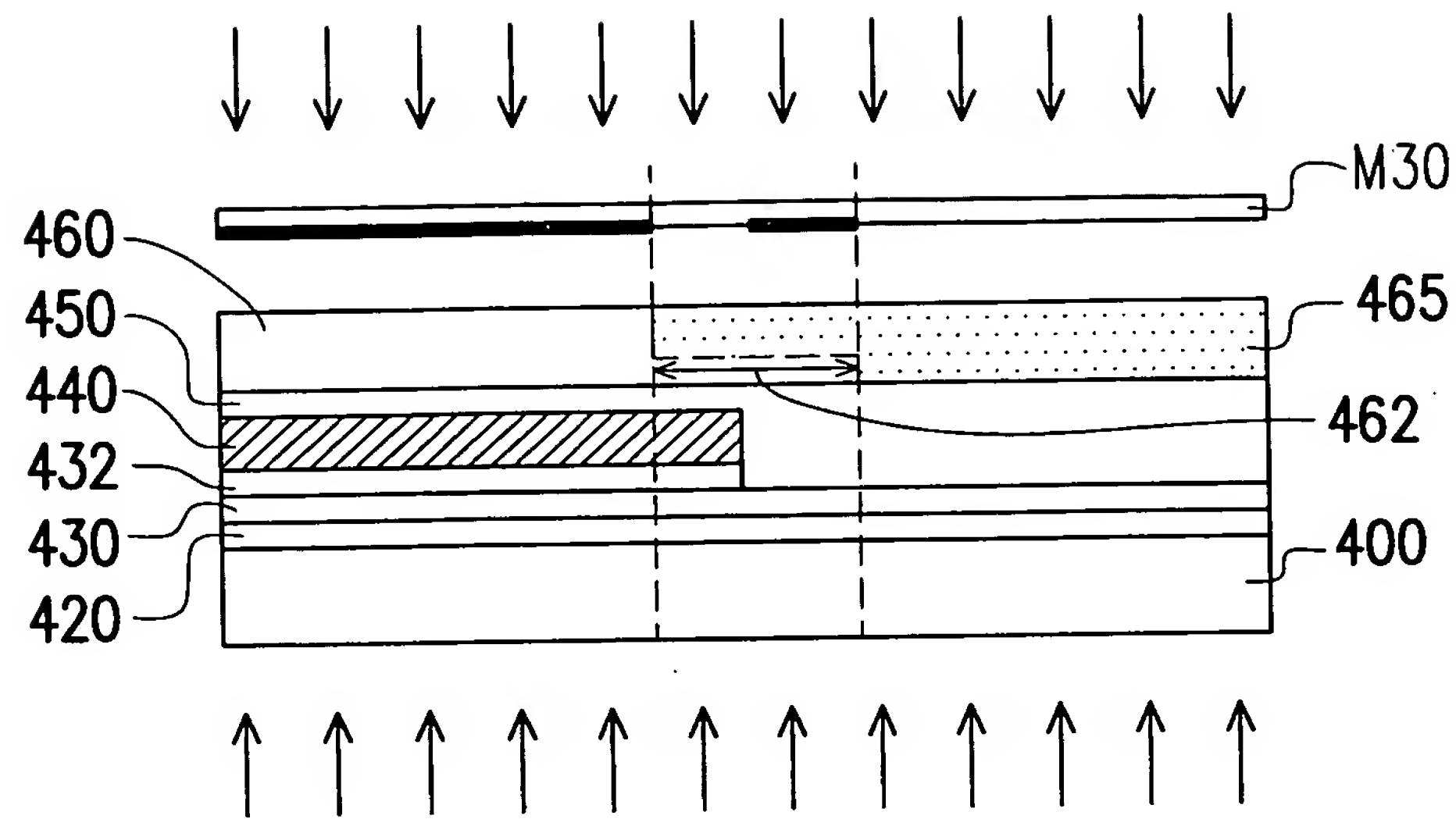
第 9A 圖



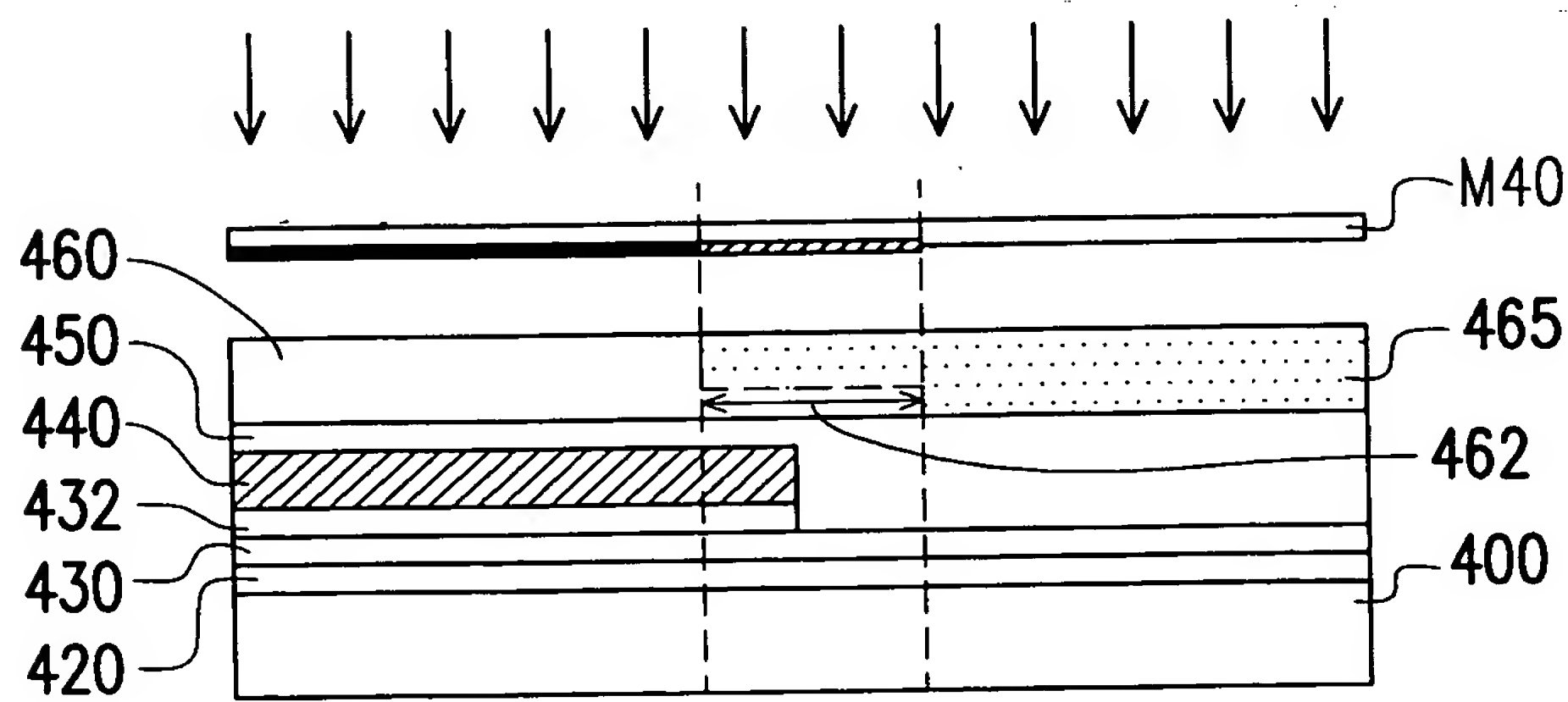
第 9B 圖



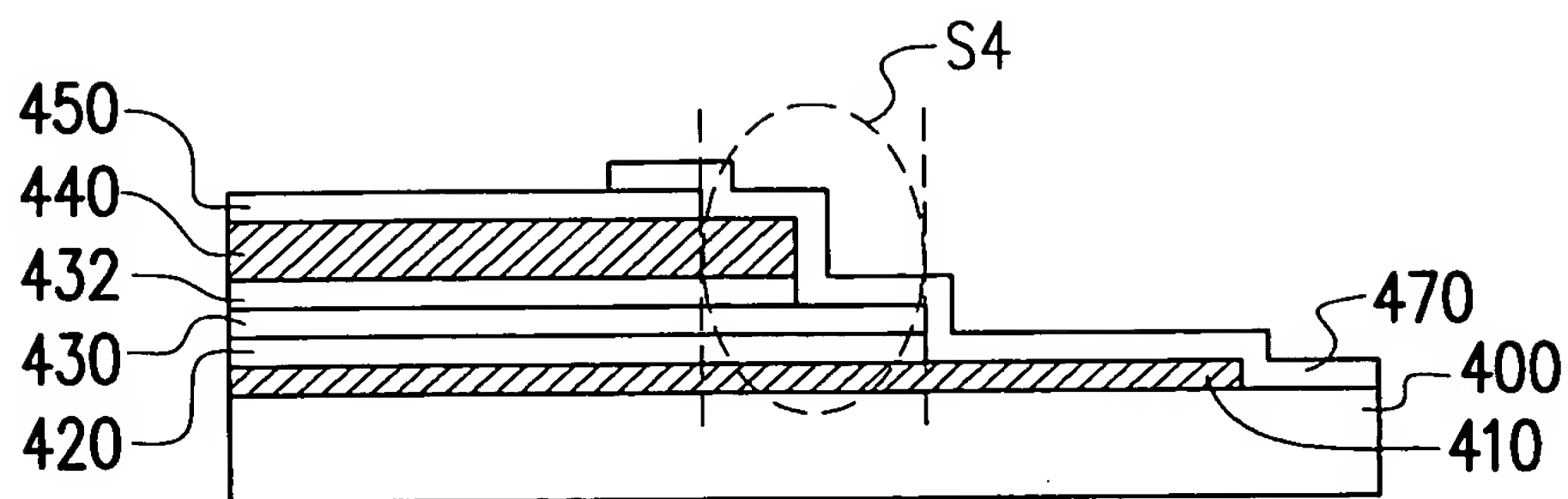
第 9C 圖



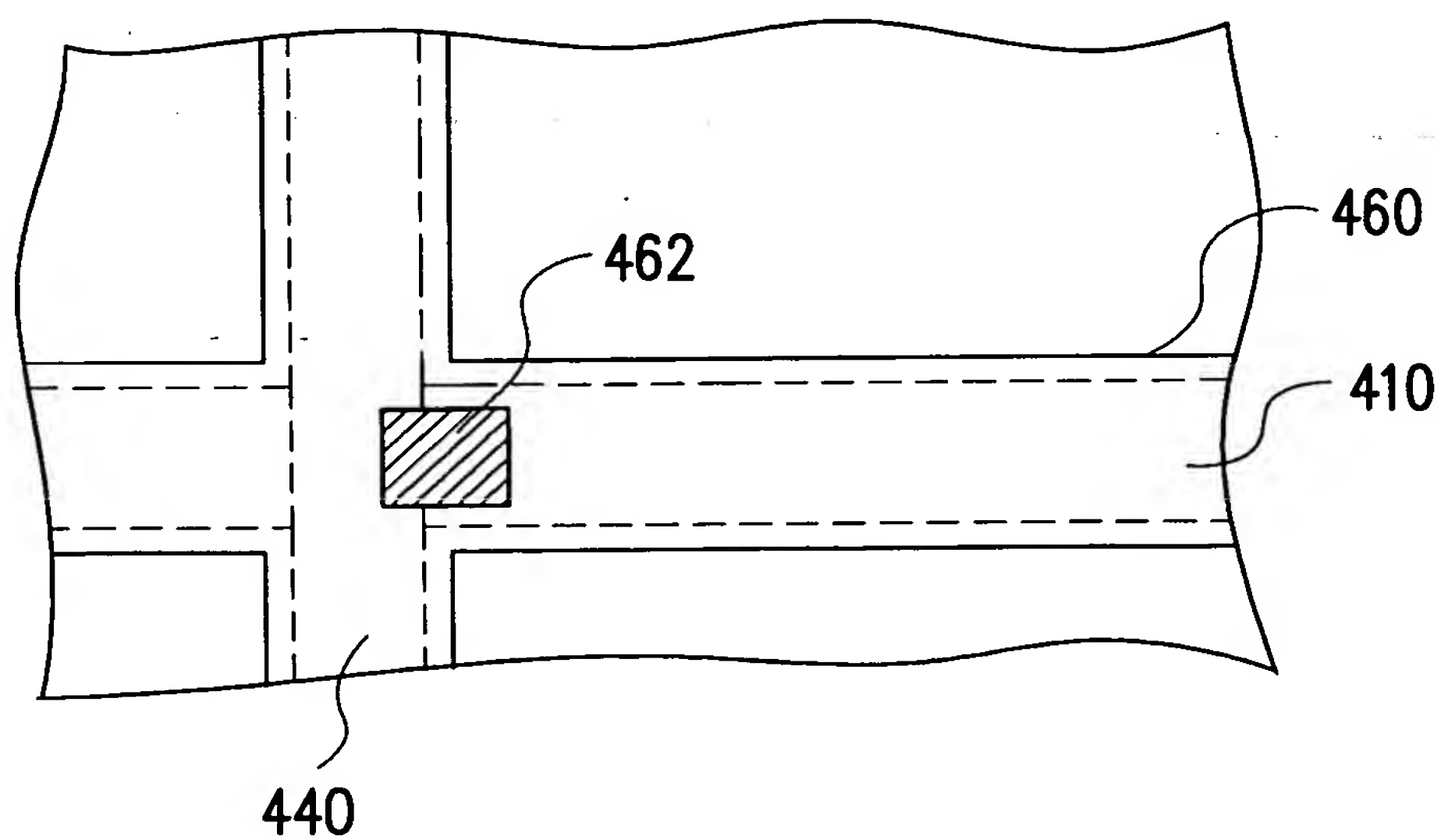
第 10 圖



第 11 圖

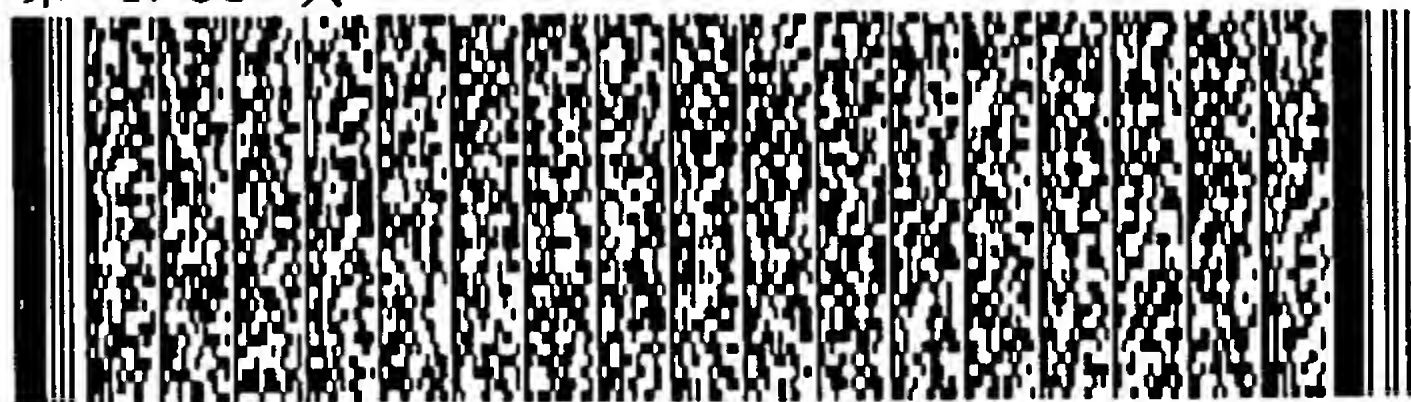


第 12 圖

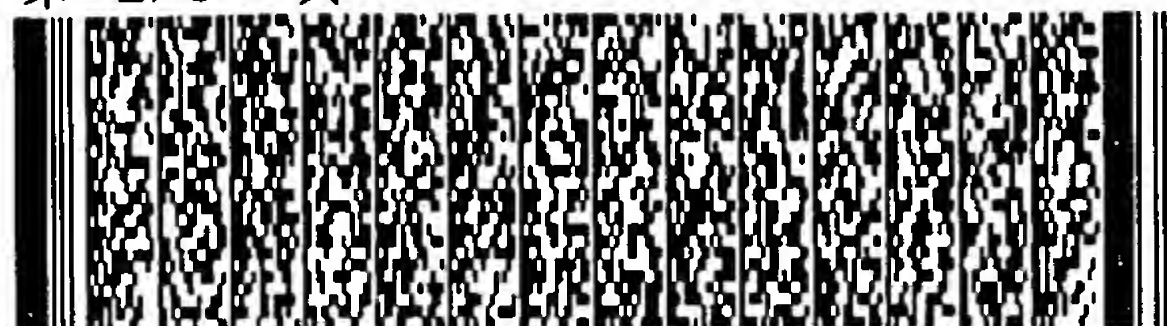


第 13 圖

第 1/31 頁



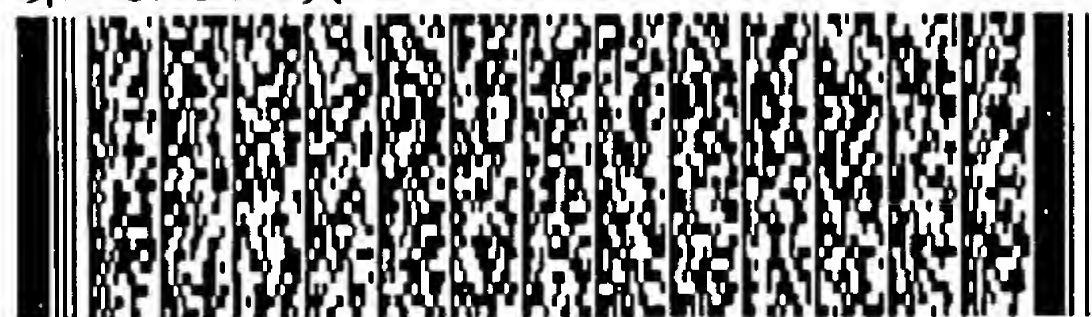
第 2/31 頁



第 2/31 頁



第 3/31 頁



第 4/31 頁



第 5/31 頁



第 6/31 頁



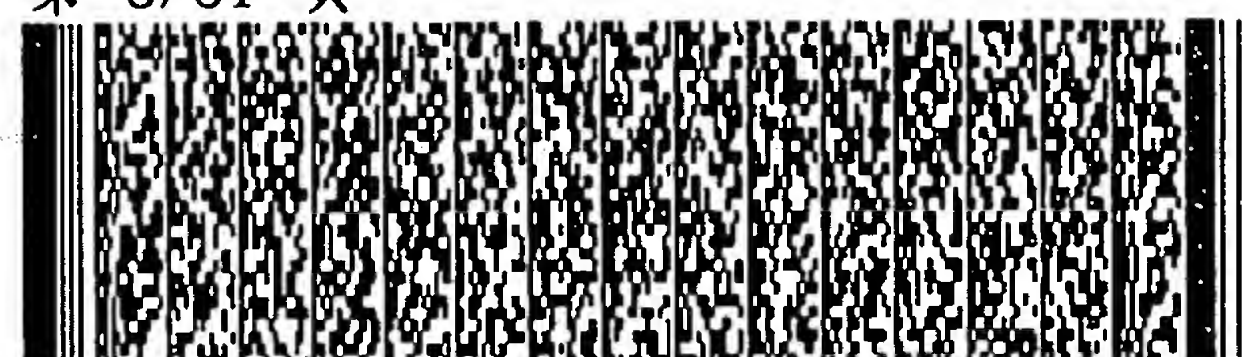
第 7/31 頁



第 7/31 頁



第 8/31 頁



第 8/31 頁



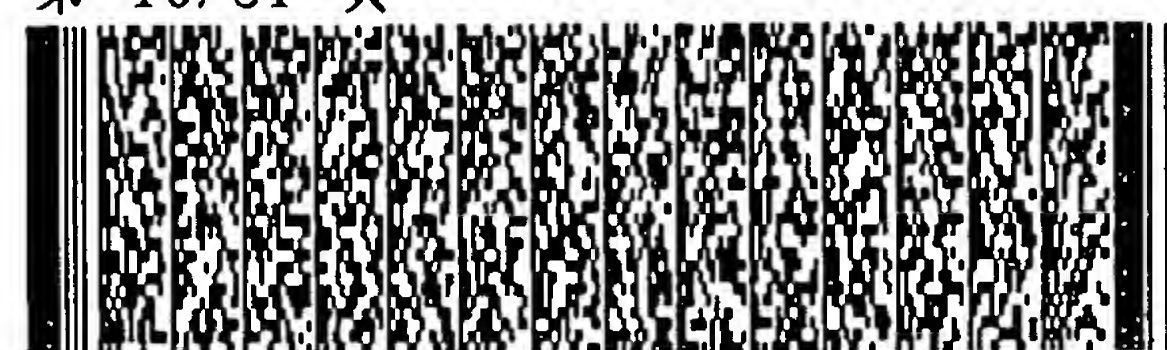
第 9/31 頁



第 9/31 頁



第 10/31 頁



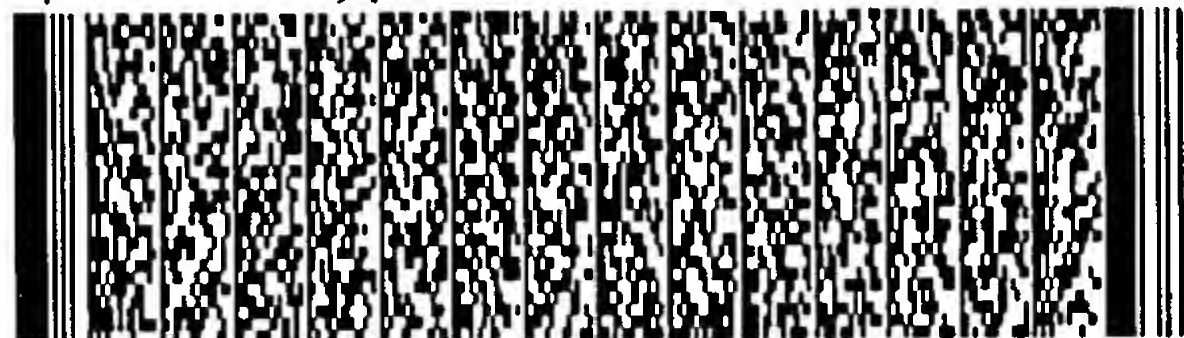
第 10/31 頁



第 11/31 頁



第 11/31 頁



第 12/31 頁



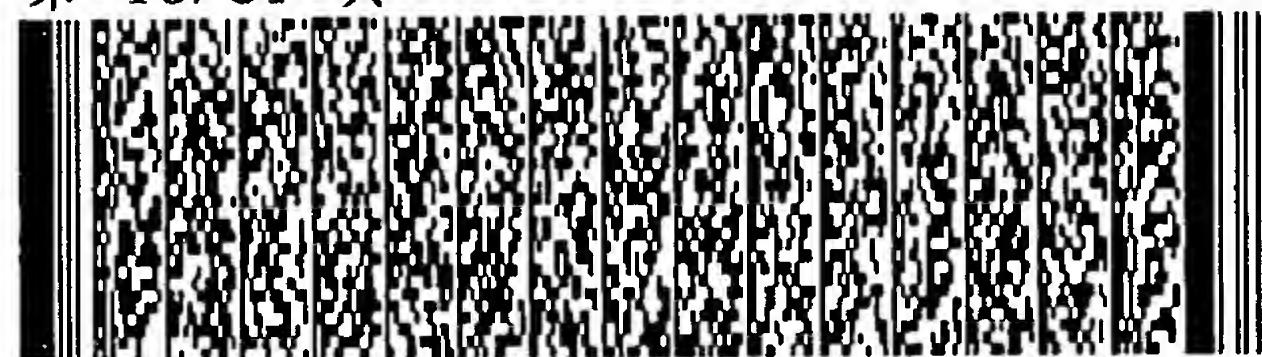
第 12/31 頁



第 13/31 頁



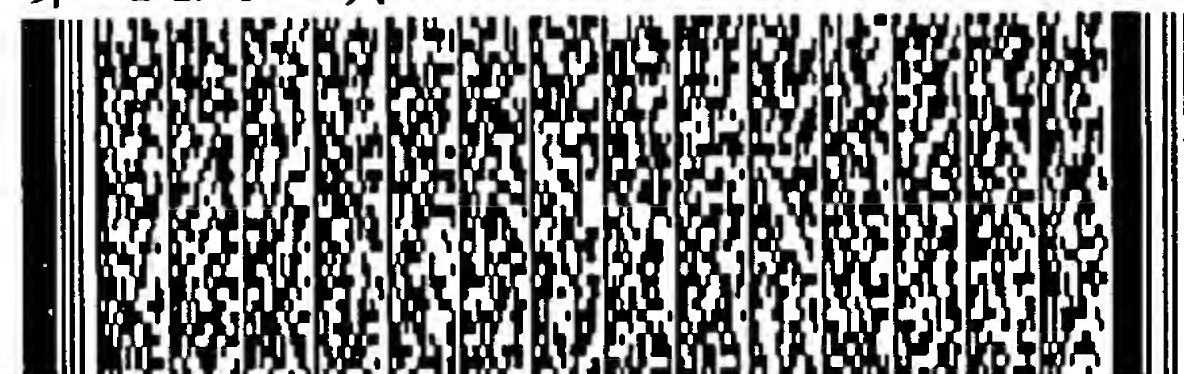
第 13/31 頁



第 14/31 頁



第 14/31 頁



第 15/31 頁



第 15/31 頁



第 16/31 頁



第 16/31 頁



第 17/31 頁



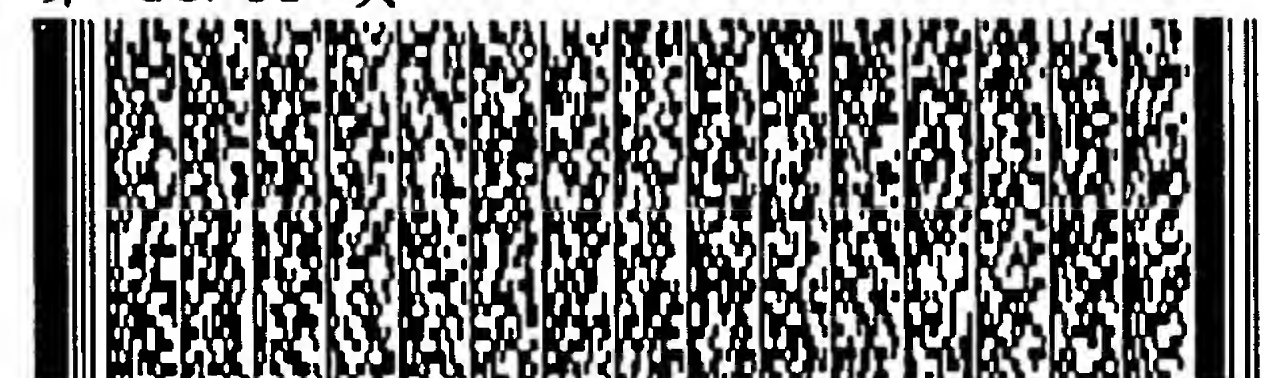
第 17/31 頁



第 18/31 頁



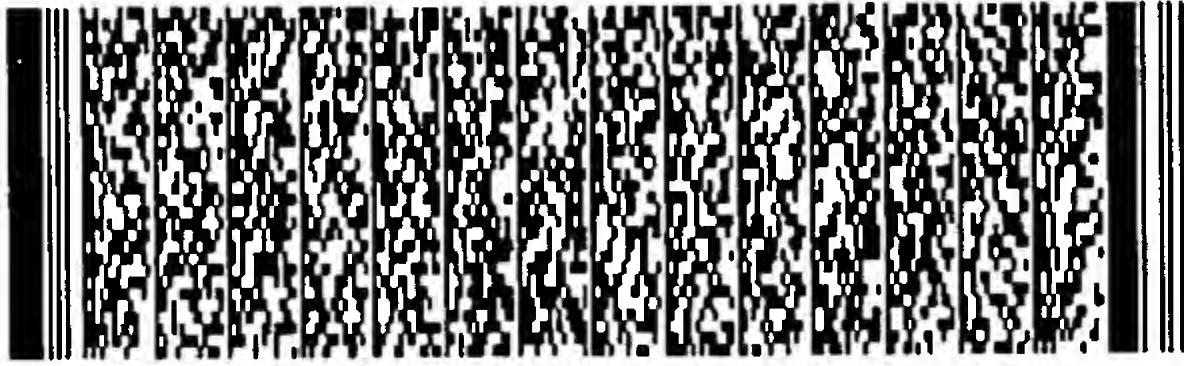
第 18/31 頁



第 19/31 頁



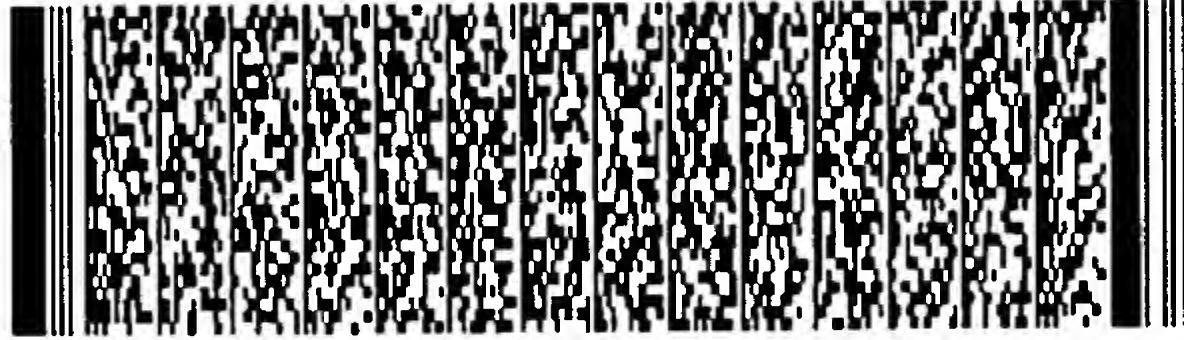
第 19/31 頁



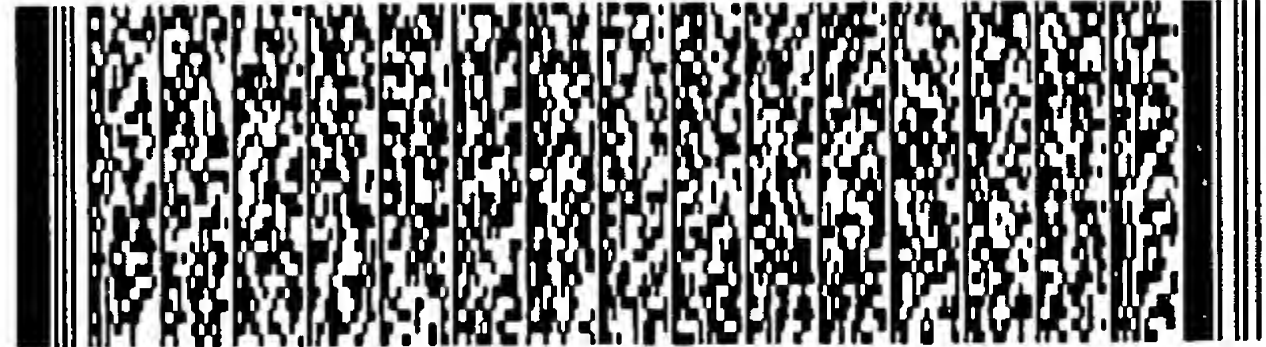
第 20/31 頁



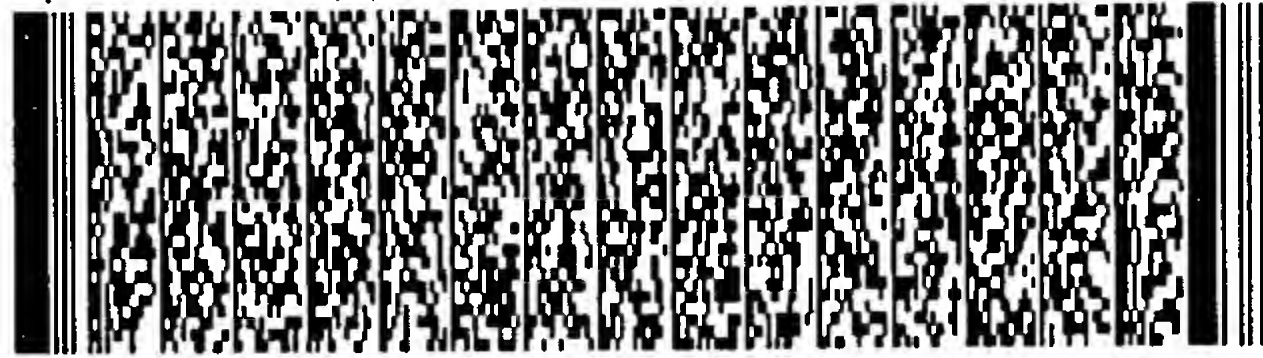
第 20/31 頁



第 21/31 頁



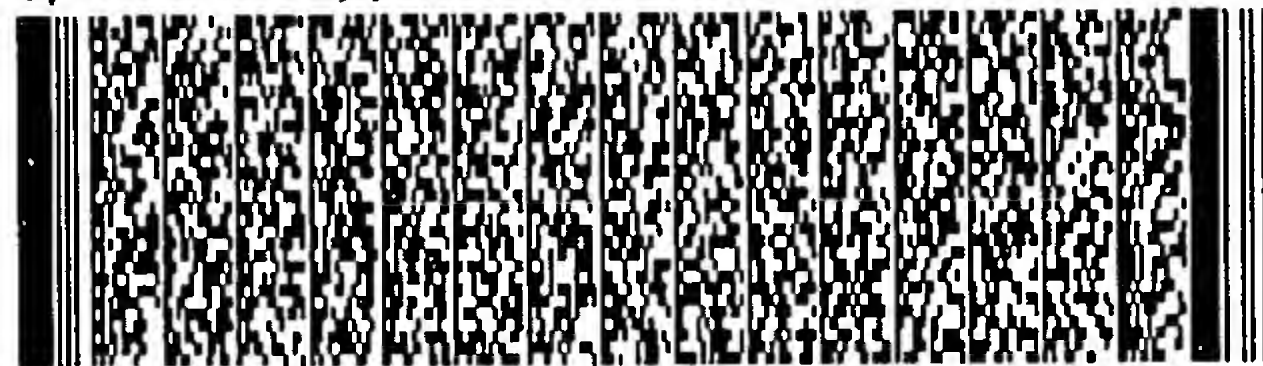
第 21/31 頁



第 22/31 頁



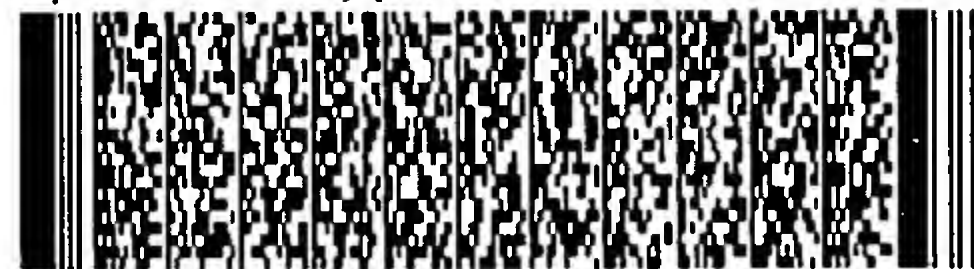
第 23/31 頁



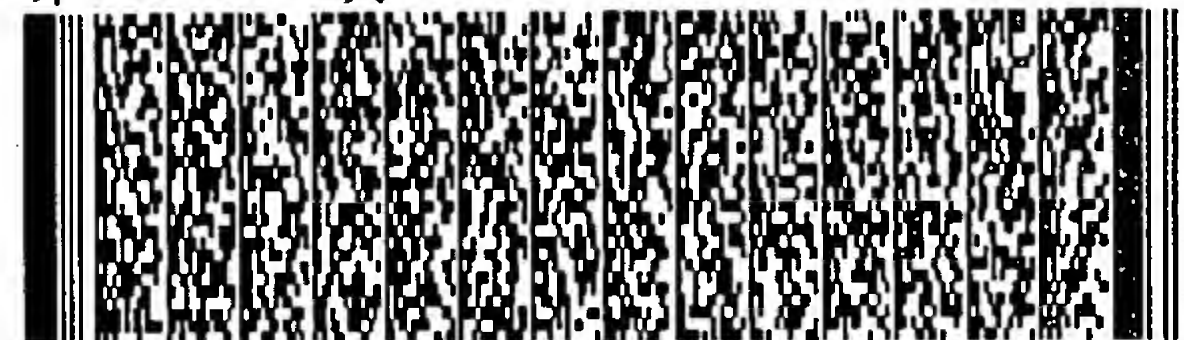
第 24/31 頁



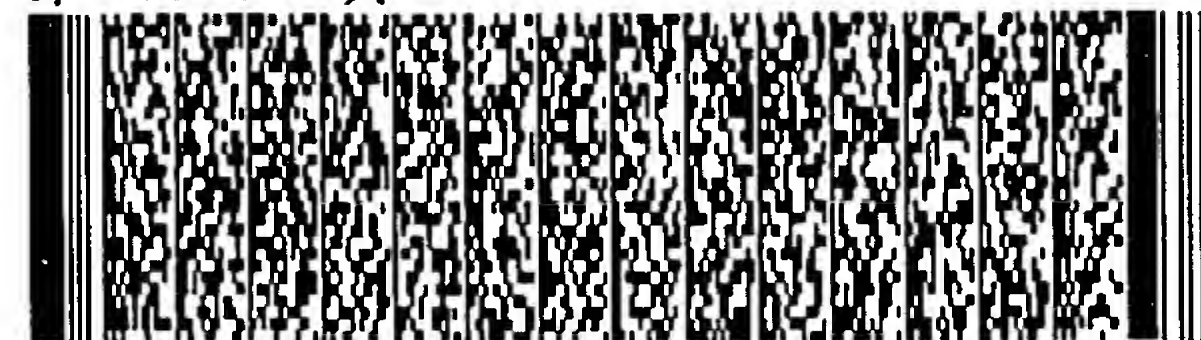
第 25/31 頁



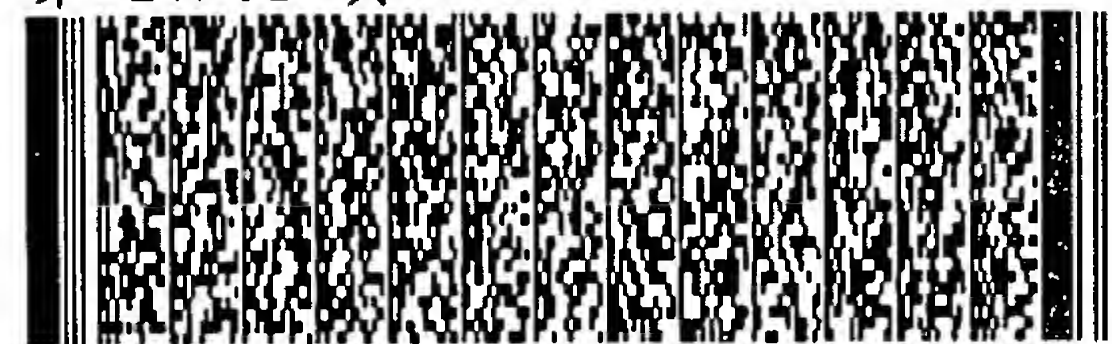
第 26/31 頁



第 26/31 頁



第 27/31 頁



第 27/31 頁



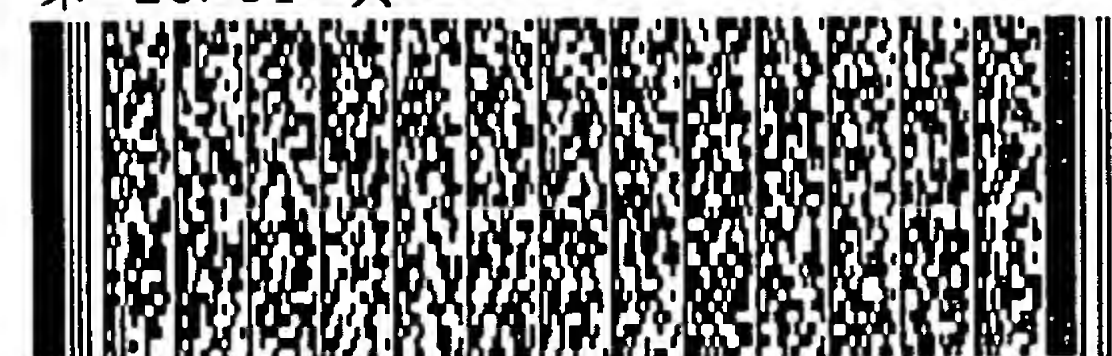
第 28/31 頁



第 29/31 頁



第 29/31 頁



第 30/31 頁



第 30/31 頁



第 31/31 頁

